

Казанский Государственный Университет

Физический Факультет

Ивойлов Н.Г., Хрипунов Д.М.

МИКРОЭЛЕКТРОНИКА

Конспект лекций

и практикум

Часть 1

Казань 1998

Печатается по решению Редакционно-издательского совета физического факультета.

УДК 681.325

Ивойлов Н.Г., Хрипунов Д.М. Микроэлектроника. Конспект лекций и задания для практикума. Учебное пособие для студентов третьего — четвертого курсов физического факультета по специальности «Физика». Казань, 1998, 77 с.

Детально описана элементная база цифровой микроэлектроники и их характеристики. Рассмотрены логические элементы различных серий, схемы накопления, кодирования и оперативного хранения цифровой информации.

Предложены лабораторные работы для практического знакомства с каждой темой.

Рецензент: Синявский В.И., к.ф.-м.н., доцент кафедры радиоп физики Казанского государственного университета

1. Логические элементы

В первом разделе дается знакомство с возможными логическими операциями, цифровыми сигналами и отечественными логическими элементами, выполняющими эти операции. Здесь же рассмотрены некоторые схемотехнические варианты транзисторно-транзисторной логики (ТТЛ), эмиттерно-связанной логики на транзисторах (ЭСЛ), транзисторно-транзисторной логики с использованием транзисторов с барьерами Шоттки (ТТЛШ), транзисторной логики на МОП транзисторах (МОПТЛ).

1.1. Основные положения булевой алгебры

Анализ и синтез логических цепей производится на основе математического аппарата булевых (или переключательных) функций. Этот аппарат также называют алгеброй логики. Переменные здесь могут принимать только одно из двух значений: 0 или 1. Над переменными могут производиться три основных действия: логическое сложение, логическое умножение и логическое отрицание, что соответствует логическим функциям ИЛИ, И, НЕ. Логическое сложение (дизъюнкция) обозначается символом $+$ или \vee . В качестве примера цепи, реализующей функцию ИЛИ, можно привести параллельное соединение замыкающих контактов нескольких реле. Цепь, в которую входят эти контакты, будет замкнута, если работает хотя бы одно реле. Таким образом, логическая сумма равна 1 тогда, когда равно 1 одно или несколько слагаемых:

$$0+0=0; 0+1=1; 1+1+1+1+\dots+1=1.$$

Логическое умножение (конъюнкция) обозначается точкой или символом \wedge . Функцию И реализуют, например, соединенные последовательно замыкающие контакты реле. Цепь в этом случае будет замкнута только тогда, когда сработают все реле:

$$0\bullet 0=0; 0\bullet 1=0; 1\bullet 1=1.$$

Логическое отрицание (инверсия) обозначается чертой над аргументом. Моделью ячейки, реализующей функцию НЕ, может служить размыкающий контакт реле. При срабатывании реле цепь, в которую входит такой контакт, будет размыкаться. Таким обра-

зом, инверсия единицы равна нулю, инверсия нуля — единице, а двойная инверсия не изменяет значение переменной:

$$\bar{0}=1; \bar{1}=0; \bar{\bar{0}}=0; \bar{\bar{1}}=1.$$

Основываясь на приведенных числовых равенствах, запишем следующие числовые выражения, в которых переменная a может принимать значения 0 или 1:

$$a + 0 = a; a + 1 = 1; a + a + a \dots + a = a; \bar{a} + a = 1;$$

$$a \bullet 0 = 0; a \bullet 1 = a; a \bullet a \bullet \dots \bullet a = a; \bar{a} \bullet a = 0; \bar{\bar{a}} = a.$$

Основные законы алгебры логики

Переместительный закон: $a+v = v+a; av = va$

Сочетательный закон: $(a + v) + c = a + (v + c); (av)c = a(vc)$

Распределительный закон: $a(v + c) = av + ac; a + vc = (a + v)(a + c)$

Последнее равенство можно получить из следующих преобразований:

$$a + vc = a(1 + v + c) + vc = a + av + ac + vc = (a + v)(a + c)$$

Закон поглощения: $a + av = a(1 + v) = a; a(a + v) = a + av = a$

Закон склеивания: $av + a\bar{v} = a; (a + v)(a + \bar{v}) = a$

Закон отрицания: $\overline{a + v} = \bar{a} \bar{v}; \overline{av} = \bar{a} + \bar{v}$

Еще один вид записи закона отрицания выглядит так:

$$a + v = \overline{\bar{a} \bar{v}}; av = \overline{\bar{a} + \bar{v}}$$

Закон отрицания для любого числа переменных или правило де

Моргана:

$$a + v + c \dots + z = \overline{\bar{a} \bar{v} \bar{c} \dots \bar{z}}; avc \dots z = \overline{\bar{a} + \bar{v} + \bar{c} \dots + \bar{z}}$$

1.2. Основной базис

Основной базис — это такой набор элементов, используя который, можно реализовать любую сколь угодно сложную логическую функцию. Поскольку всякая логическая функция есть комбинация простейших функций И, ИЛИ, НЕ, то набор элементов этих трех

типов является функционально полным. Например, функцию $\overline{a\bar{b}} + \bar{a}b$ можно реализовать с помощью двух ячеек НЕ (они нужны, чтобы получить инверсии a и b), двух ячеек И (необходимых для того, чтобы получить логические произведения $\overline{a\bar{b}}$ и $\bar{a}b$), и ячейки ИЛИ (суммирующую эти произведения). Основной базис может состоять из набора элементов, реализующих логические функции, отличные от простейших. В частности, основной базис может состоять из элементов только одного типа, например, реализующих функцию И-НЕ либо ИЛИ-НЕ. Функция И-НЕ, носящая название функции Шеффера означает следующее преобразование: $F = \overline{abc}$.

Для того чтобы доказать функциональную полноту набора элементов, реализующих функцию И-НЕ, покажем возможность построения на их основе логических цепей, реализующих простейшие функции. Функцию НЕ можно реализовать, если сигнал, соответствующий этой переменной подать на один из входов цепи И-НЕ, а на все остальные входы подать постоянный сигнал, соответствующий единице.

Для образования цепи И достаточно включить последовательно цепь И-НЕ и инвертор: $ab = \overline{\overline{ab}}$. Цепь ИЛИ строится в соответствии с правилом де Моргана: $\overline{\overline{a+b}} = a+b$. Таким образом, цепи И-НЕ позволяют реализовать инверсию, конъюнкцию и дизъюнкцию, а, следовательно, на их основе можно строить логические цепи для реализации сколь угодно сложных функций. Функция ИЛИ-НЕ, называемая иначе функцией Пирса или функцией Вебба, означает следующую связь между функцией F и аргументами a , b , c ... $F = \overline{a+b+c}$...

Для получения инверсии одной переменной достаточно подать сигнал, соответствующий этой переменной, на один вход цепи ИЛИ-НЕ, а на остальных входах этой цепи поддерживать сигнал, соответствующий логическому нулю. Функция ИЛИ может быть реализована инвертированием выходного сигнала цепи ИЛИ-НЕ. Функция И реализуется с помощью ячеек ИЛИ-НЕ на основе за-

кона отрицания $\overline{\overline{a + b}} = a + b$. Возможность реализации простейших логических функций свидетельствует о функциональной полноте логических элементов ИЛИ-НЕ.

1.3. Обозначения логических элементов и выполняемые ими функции

$Y = X$		Повторение
$Y = \overline{X}$		Инверсия
$Y = X1 + X2$		Дизъюнкция
$Y = \overline{X1 + X2}$		Отрицание дизъюнкции Функция Пирса
$Y = X1 \cdot X2$		Конъюнкция
$Y = \overline{X1 \cdot X2}$		Отрицание конъюнкции Функция Шеффера
$Y = X1\overline{X2} + \overline{X1}X2 = X1 \oplus X2$		Функция неравнозначности
$Y = \overline{X1X2 + X1\overline{X2}} = \overline{X1} \oplus X2$		Функция равнозначности

1.4. Маркировка микросхем

Условные обозначения ИС, выпускаемых отечественной промышленностью, состоят из четырех основных цифро-буквенных элементов:

Первый элемент — цифра, обозначающая конструктивно-технологическую группу. Таких групп три: группа полупроводниковых ИС имеет обозначения 1, 5, 6, 7; группа гибридных ИС — 2, 4, 8 и прочие ИС (пленочные, керамические и др.) — 3.

Второй элемент является двух- или трехзначным числом, обозначающим порядковый номер серии.

Третий элемент состоит из двух букв, определяющих функциональное назначение ИС. Первая из букв определяет принадлежность ИС к конкретной подгруппе, а вторая — к виду.

Четвертый элемент — это порядковый номер разработки ИС данного функционального типа.

Первый и второй элементы совместно обозначают серию ИС, перед которой могут быть поставлены буквы, характеризующие конструкцию корпуса.

Пример: К500ИЕ137 или КР1533ТМ2.

Для подгруппы логических элементов (Л) различных видов использованы следующие обозначения:

ЛН	инвертор (НЕ)
ЛА	логическое умножение с инверсией (И-НЕ)
ЛЕ	логическое сложение с инверсией (ИЛИ-НЕ)
ЛР	совмещенные логические элементы, например (И-ИЛИ-НЕ)
ЛД	расширители
ЛП	прочие
ЛБ	И-НЕ / ИЛИ-НЕ
ЛИ	операция И
ЛЛ	операция ИЛИ
ЛС	И-ИЛИ

1.5. Параметры логических ИС

Основными параметрами логических ИС являются: быстродействие, потребляемая мощность, коэффициент объединения по входу, коэффициент разветвления по выходу, устойчивость против внешних воздействий, степень интеграции, надежность.

Быстродействие ИС, как правило, определяется средней задержкой сигнала $t_{зд.ср}$, равной среднеарифметическому задержек включения и выключения одного инвертора. При определении средней задержки обычно берут точки на фронтах, соответствующие половине перепада напряжения, или точки, соответствующие уровням 0,1 и 0,9 этого перепада. По средней задержке логические ИС делятся на:

- а) сверхбыстродействующие $t_{зд} < 5$ нс,
- б) быстродействующие $t_{зд} = 5 - 10$ нс,
- в) среднего быстродействия $t_{зд} = 10 - 100$ нс,
- г) низкого быстродействия $t_{зд} > 100$ нс

Логические ИС на основе МОП — низкого быстродействия 100 — 1000 нс,
МОПТЛ с р-канальными транзисторами 30 — 300 нс,
МОПТЛ с n-канальными транзисторами 1 — 100 нс,
Логические схемы ТТЛ — среднего быстродействия 5 — 50 нс,
Наибольшее быстродействие имеют транзисторные логические схемы с эмиттерными связями 1 — 10 нс.

Потребляемая мощность логических ИС определяется средней мощностью P , потребляемой типовыми логическими элементами во включенном и выключенном состояниях.

Помехоустойчивость определяется параметром, называемым статической помехоустойчивостью. Статическая помехоустойчивость — это наименьшее постоянное напряжение, которое, будучи добавлено (при самом неблагоприятном сочетании обстоятельств) к полному выходному сигналу, вызовет ошибку во всей последующей цепи.

Наименьшей помехоустойчивостью обладают схемы ЭСЛ $U_{ст}=0,1 — 0,3$ В. В схемах ТТЛ $U_{ст}=0,4 — 1,1$ В, МОП — $U_{ст}=2 — 3$ В.

Коэффициент объединения по входу — это максимальное число входов, которые может иметь логический элемент.

Коэффициент разветвления по выходу, или нагрузочная способность, определяется числом схем этой же серии, входы которых могут быть присоединены к выходу данной схемы без нарушения ее работоспособности. Нагрузочная способность ИС в значительной степени определяется типом примененного в них инвертора.

Устойчивость против внешних воздействий характеризует возможность применения ИС при изменении температуры, воздействии влажности, радиации и т. д. — определяется типом используемого корпуса. Для отечественных ИС температурный диапазон составляет от - 60 до +125 °С.

Степень интеграции элементов характеризует достигнутый уровень технологии. Численно значение степени интеграции определяется округленным до большего целого числа значения десятичного

логарифма числа элементов в одном кристалле.

Надежность ИС малой степени интеграции определяется отказами корпуса и соединений между контактными площадками на кристалле и выводами корпуса. Для схем большей степени интеграции надежность определяется отказами элементов и соединений внутри самого кристалла. Интенсивность отказов не должна превышать 10^{-7} ч⁻¹.

1.6. Базовые элементы ТТЛ, ЭСЛ, ТТЛШ, n(p)-МОПТЛ и их сравнительные характеристики

Транзисторно-транзисторная логика

Классической структурой ТТЛ является схема базового элемента И-НЕ серий 133 и 155. Схема (Рис. 1.1) содержит входной каскад, реализующий функцию И, фазоинверсный каскад с источником тока и выходной каскад с активной нагрузкой. Входной каскад построен на многоэмиттерном транзисторе VT1, рожденном технологией микроэлектроники специально для нужд логических ИС.

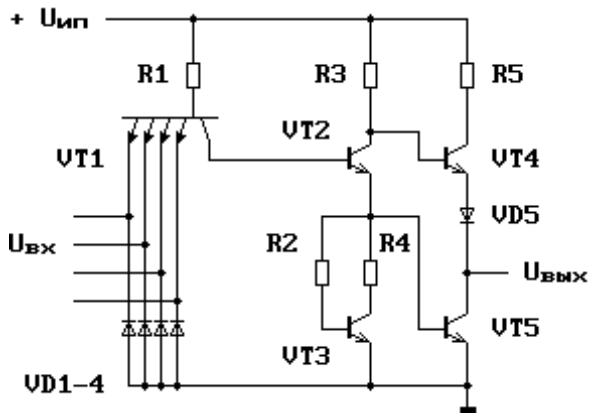


Рис. 1.1. Принципиальная схема базового элемента И-НЕ ТТЛ серий 133, 155 (SN54, SN74).

Эмиттеры транзистора VT1 служат входами логического элемента и соединены с шиной нулевого потенциала через обратно смещенные антизвонные диоды VD1 — VD4. Последние служат своего рода демпфером, защищая транзистор VT1 от отрицательного входного напряжения. При поступлении хотя бы на один из

эмиттеров потенциала, близкого к потенциалу земли, через эмиттер начинает вытекать почти весь базовый ток транзистора VT1, создавая на входе ток логического 0 $I_{\text{вх}}^0$. Значение этого тока ограничивается сопротивлением резистора R1. В такой ситуации ток коллектора VT1 пренебрежимо мал и, следовательно, недостаточен для отпирания транзистора VT2 фазоинверсного каскада. При таком распределении токов транзистор VT5 заперт, а VT4 отперт, обеспечивая на выходе высокий уровень напряжения:

$$U_{\text{вых}}^1 = U_{\text{п}} - I_{\text{б}VT4} R3 - U_{\text{б}VT4} - U_{VD5} \approx 2,4...3,6 \text{ В},$$

Если же на все эмиттеры транзистора VT1 подать напряжение $U_{\text{вх}}^1$, равное примерно напряжению питания $U_{\text{п}}$, то эмиттерные токи VT1 резко сократятся (входные токи логических 1), а базовый ток уйдет в коллектор, создавая на базе транзистора VT2 потенциал, близкий к потенциалу $U_{\text{п}}$ относительно общего провода. В таком случае транзистор фазоинверсного каскада VT2 откроется, запирая при этом VT4 и отпирая VT5. Включенный в коллекторную цепь VT4 диод VD5 создает при отпирании транзистора VT5 между базой и эмиттером VT4 разность потенциалов, меньшую напряжения открывания VT4, так как

$$U_{\text{б}VT4} = U_{\text{к}VT2} - U_{\text{бк}VT5} - U_{VD5}.$$

Иными словами, разность потенциалов между базой транзистора VT4 и выходом логического элемента распределяется между участком база — эмиттер VT4 и диодом VD5. Таким образом, за счет полного запираения транзистора эмиттерного повторителя VT4 и насыщения транзистора VT5 на выходе ИС формируется уровень напряжения, равный напряжению насыщенного VT5 (менее 0,4 В). Это и есть выходное напряжение логического 0 $U_{\text{вых}}^0$.

Источник тока на VT3 и эмиттерный повторитель на VT5 способствуют улучшению передаточной и динамической характеристик логического элемента. Кроме того, каскад на транзисторе VT5, являясь активной нагрузкой транзистора VT4, еще и повышает нагру-

зочную способность схемы. Отметим еще один немаловажный момент. Переключения логического элемента из одного состояния в другое сопровождаются переходом одного из транзисторов VT4, VT5 в открытое состояние, а другого в закрытое. При этом переход происходит синхронно и, следовательно, в некоторый момент времени оба транзистора VT4, VT5 оказываются открытыми. В этот момент через открытые транзисторы протекает ток, по величине значительно превышающий ток потребления в статическом режиме. Указанное приводит к тому, что в динамическом режиме наблюдаются кратковременные всплески потребляемого тока, который несколько ограничивается сопротивлением резистора R5. Это является недостатком выходного каскада с активной нагрузкой и требует принятия специальных мер по защите от возникающих помех по цепям питания. Однако отмеченный недостаток компенсируется высокой нагрузочной способностью таких каскадов и улучшенным быстродействием. Повышение быстродействия связано с сокращением времени на перезаряд выходных емкостей.

Транзисторно-транзисторная логика с барьерами Шоттки

Логические элементы серии 530 и 531 явились результатом совершенствования микроэлектронной технологии, позволившей на рубеже 60-х и 70-х годов начать изготовление в масштабах серийного производства выпрямляющих контактов металл-полупроводник, известных как переходы Шоттки.

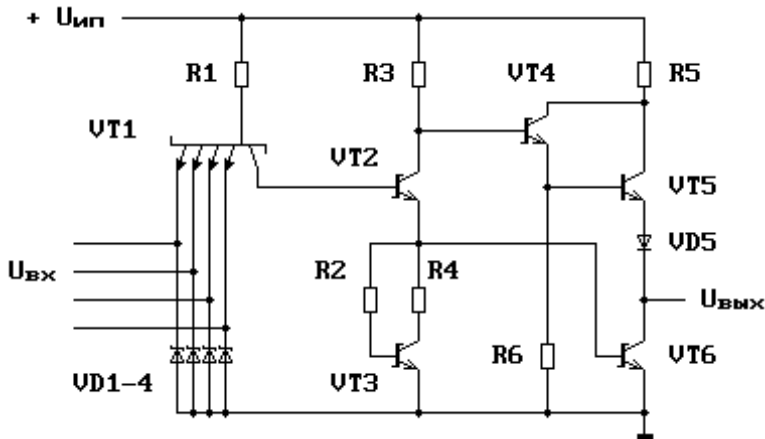


Рис. 1.2. Схема базового ТТТШ элемента И-НЕ серий 530, 531 (SN54S, SN74S)

Единственное схемотехническое отличие от элементов рассмотренного выше субсемейства заключается в использовании во всех каскадах, кроме эмиттерного повторителя на VT5, обратной связи. И как ни парадоксально, это существенное для ИС отличие из принципиальной схемы (рис. 1.2) не видно. Объясняется это тем изяществом, с которым технологи решили важную для интегральной схемотехники задачу. Металлический слой интегрального n-p-n транзистора, служащий для омического контакта с базой, был продлен в сторону коллектора, образовав с n-областью коллектора переход Шоттки. Таким образом, без введения дополнительной технологической операции переход база-коллектор оказался зашунтированным диодом Шоттки. А это и есть та обратная связь, которая позволила в 5 раз сократить время формирования положительного фронта выходного импульса. Идея использования нелинейной отрицательной обратной связи для повышения быстродействия транзисторных ключей состоит в следующем. Известно, что время, затрачиваемое на формирование фронта выходного импульса, определяется рассасыванием инжектированных неосновных носителей, когда транзистор переходит из насыщения в область отсечки. Поэтому разумным является решение предотвратить вхождение транзистора в режим глубокого насыщения. Это может быть достигнуто путем приложения к участку база-коллектор запирающего напря-

жения. В случае, если между базой и коллектором включить диод Шоттки, подсоединенный анодом к базе, то при отпирании транзистора на коллекторе в некоторый момент времени установится потенциал, отпирающий диод Шоттки. Напряжение отпирания перехода Шоттки 0,4 — 0,5 В, т.е. меньше, чем падение на переходе база-коллектор и, следовательно, диод Шоттки откроется раньше, чем переход база-коллектор. Таким образом, коллекторный переход оказывается запертым, и режим насыщения исключается.

Важным достоинством диодов Шоттки, помимо низкого порогового напряжения, является и то, что в них отсутствует инжекция неосновных носителей. В связи с чем при выключении не затрачивается время на рассасывание избыточного заряда и время их переключения составляет около 0,1 нс. Если бы в качестве элемента обратной связи удалось использовать р-п переход, то эффект от его применения был бы незначителен, так как опять потребовалось бы время на рассасывание неосновных носителей.

Возвращаясь к схеме базового элемента (рис. 1.2) заметим, что замена антизвонных диодов с р-п переходами на диоды Шоттки также приводит к повышению быстродействия ИС в силу описанных свойств диодов Шоттки, а применение в качестве нагрузки транзистора VT6 схемы Дарлингтона на VT4, VT5 приводит к повышению нагрузочной способности и улучшает динамические характеристики. Причем транзистор VT5 в процессе функционирования логического элемента в насыщение не входит и по этой причине перехода Шоттки не содержит.

Следующим субсемейством ТТЛШ являются ИС серий 533 и 555, в которых вместо многоэмиттерного транзистора на входе включен логический элемент на основе матрицы диодов Шоттки. По сравнению с ИС серий 530 и 531 удалось почти на порядок снизить потребляемую мощность, но несколько проиграть в быстродействии.

Сериями, в которых сочетаются одновременно и высокая экономичность и высокое быстродействие, являются перспективные разработки серии 1533. Это связано с использованием усовершен-

ствованной технологии — ALS (Advanced Low-power Schottky), разработанной к 1980 г. фирмой Texas Instrument Inc. В схемотехническом плане основное отличие заключается в применении на входе эмиттерного повторителя, что привело к двукратному снижению входного тока $I_{вх}^0$ по сравнению с ИС серий 533 и 555.

Элемент с открытым коллектором

Кроме логических элементов, имеющих обычный выходной каскад с двумя транзисторами, выпускаются элементы с открытым (свободным) коллектором. Упрощенная его схема показана на рис. 1.3а.

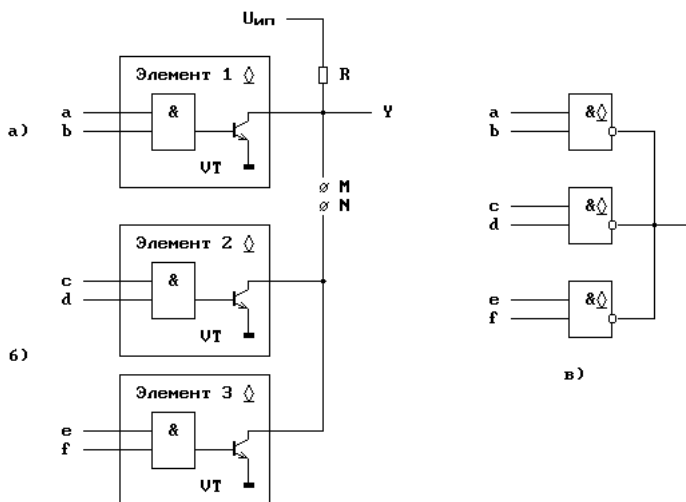


Рис. 1.3. Элементы с открытым коллектором.

Верхний транзистор обычной выходной пары отсутствует, и из корпуса выведен лишь коллектор нижнего транзистора VT. Этот транзистор открывается логической частью элемента при совпадении на входе всех единиц. Если хотя бы один из входных сигналов равен 0, транзистор закрыт. Такой выходной каскад не способен сам по себе сформировать на выходе высокий уровень напряжения. Для этого к выводу корпуса внешним монтажом подключается резистор R, который играет роль верхнего транзистора выходного каскада. В таком виде элемент выполняет функцию И-НЕ. Выход с

открытым коллектором помечают специальным значком — ромбиком. Одно из назначений элементов с открытым коллектором — быть переходным звеном от логической части устройства к элементам вывода информации. Вместо резистора R в коллекторную цепь выходного транзистора могут быть включены светодиод, индикаторная лампочка, обмотка реле, вход усилителя мощности. Примеры элементов с открытым коллектором: К155ЛА7, КР531ЛА13, дешифратор К533ИД10. Элементы с открытым коллектором, в отличие от обычных логических элементов, приспособлены для объединения по выходу. Если точку M на рис. 1.3а объединить с точкой N пары элементов на рис. 1.3б, то уровень выхода будет равен 0, когда открыт выходной транзистор любого из объединенных элементов. Все три элемента совместно будут обрабатывать функцию И-ИЛИ-НЕ: $Y = \overline{ab + cd + ef}$. Такую схему называют монтажное ИЛИ. На логику работы полученной схемы можно посмотреть и несколько иначе: на объединенном выходе будет 1 тогда и только тогда, когда каждый элемент будет стремиться установить на своем выходе 1. Если же хотя бы один элемент установит на своем выходе 0, этот же 0 установится на объединенном выходе. Такое рассуждение позволяет рассматривать объединение открытых коллекторов на общем подтягивающем резисторе как схему, реализующую функцию И: единица при всех единицах и нуль при любом нуле. Еще одно название рассматриваемой схемы: монтажное И. Схему монтажного ИЛИ при работе на "россыпи" в ТТЛ и МОП-сериях с чисто логическими целями используют не часто в силу ее худших частотных свойств по сравнению с ЛЭ, имеющими обычный выходной каскад. Однако принцип монтажного ИЛИ широко используется в БИС памяти и ПЛМ, а также для построения двунаправленных числовых шин (числовых магистралей).

Элемент с тремя состояниями выхода

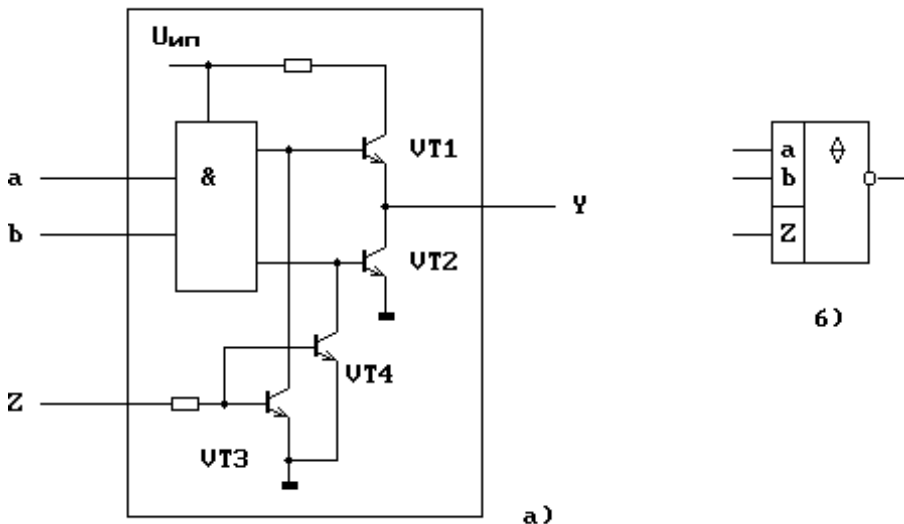


Рис. 1.4. Элемент с тремя состояниями выхода, а - принципиальная схема, б - условной изображение

На рис. 1.4а в условном виде показана упрощенная электрическая схема элемента с тремя состояниями выхода. Когда на входе элемента, обозначенном Z, уровень низкий, то транзисторы VT3 и VT4 заперты и не влияют на работу схемы элемента, выполняющего обычным образом операцию И-НЕ. Если сигнал Z имеет высокий уровень, то низкий уровень коллекторов открытых транзисторов VT3, VT4 передается через базы выходных транзисторов VT1 и VT2 и запирает их оба. В результате связь логической части элемента с его выходом разрывается, элемент со стороны выхода приобретает высокий импеданс. Уровень потенциала на выходе уже не определен (плавающий потенциал). Он может быть любым в зависимости от соотношения токов утечки транзисторов VT1 и VT2, но такое состояние потенциала в качестве значения выходного сигнала не используется. Третье состояние выхода в отличие от 1 и 0, обозначается Z. Символ такого выхода — ромб с поперечной чертой. На рис. 1.4а показан способ изображения Z-буфера на функциональных схемах. Z-буфер характеризуется задержками распространения

двух тактов: логические входы — выход при $Z = 0$ и Z -вход-выход. Элементы с тремя состояниями выхода разработаны специально для применения в качестве выходного управляемого буфера для подключения цифровых блоков к магистралям (К589АП16, К589АП26, К561ЛН1).

Транзисторная логика с эмиттерными связями

Цифровые микросхемы эмиттерно-связанной логики представляют собой транзисторные схемы с объединенными эмиттерами и обладают по сравнению с другими типами цифровых ИС наибольшими быстродействием и потребляемой мощностью. Большое быстродействие для схем ЭСЛ обуславливается тем, что в этих элементах транзисторы работают в ненасыщенном (линейном) режиме. На выходах применяются эмиттерные повторители, ускоряющие процесс заряда емкости нагрузки. Уменьшение времени задержки распространения достигается также за счет ограничения перепада выходного напряжения, что, однако, приводит к уменьшению помехоустойчивости схем ЭСЛ. Из разработанных в последние годы цифровых микросхем ЭСЛ наибольшее распространение получили серии 100 и К500, являющиеся аналогами широко известной зарубежной серии МС10000 (первоначальный разработчик — фирма Motorola).

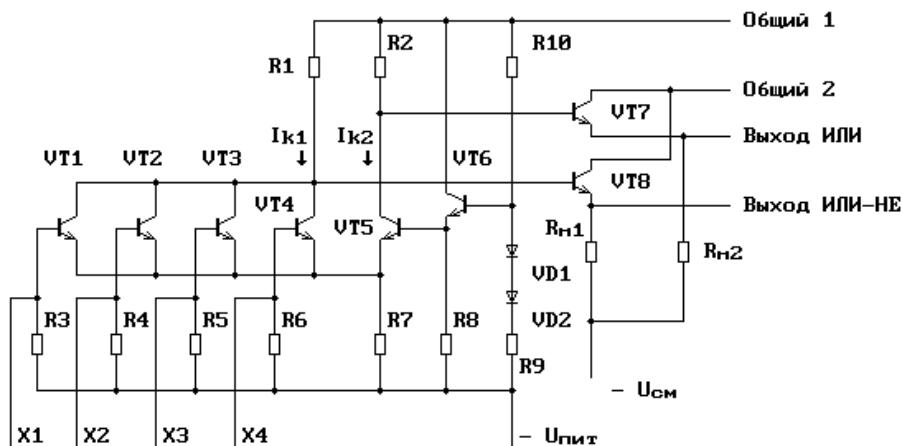


Рис. 1.5. Базовый элемент ИЛИ-НЕ / ИЛИ микросхемы ЭСЛ

Рассмотрим принцип построения схем ЭСЛ на примере базового ЛЭ серии 100, выполняющего одновременно функции ИЛИ-НЕ и ИЛИ (рис. 1.5). Схема состоит из дифференциального усилителя, собранного на транзисторах VT1 — VT5. В этом усилителе при подаче на входы перепада напряжения ток I_3 может протекать либо через транзистор VT5, на базу которого постоянно подано опорное напряжение $U_{оп}$, равное - 2,09 В (в это время на входах X1 — X4 имеется отрицательное запирающее напряжение), либо через транзисторы VT1 — VT4, когда на их базы подают потенциал, больший опорного напряжения. Выходные эмиттерные повторители (транзисторы VT7 и VT8) подключаются к источнику смещения уровня $U_{см}$ = - 2 В $\pm 5\%$ через внешние нагрузочные резисторы $R_{н1}$ и $R_{н2}$ с номиналами 51 Ом. Малое выходное сопротивление схем ЭСЛ обеспечивает согласование выходных и входных напряжений уровней ЛЭ при их совместной работе и возможность непосредственно подавать сигналы в кабель с волновым сопротивлением 50 Ом. Схема ЭСЛ подключается к источнику отрицательного напряжения питания $U_{ин}$ = - 5,2 В. Коллекторные цепи заземляются. Такое включение обеспечивает меньшую зависимость выходного напряжения от наводок по цепи питания и лучшую помехоустойчивость. Значение перепада напряжения для схем ЭСЛ составляет 0,69 В, а запас помехоустойчивости 125 мВ. Отрицательные и малые по величине логические уровни схем ЭСЛ ($U_{ВЫХ}^1 = - 0,96$ В; $U_{ВЫХ}^0 = - 1,65$ В) не позволяют обеспечить их непосредственную стыковку со схемами ТТЛ. Совместная работа микросхем ТТЛ и ЭСЛ осуществляется с помощью специальных схем взаимных преобразователей уровней, входящих в состав всех указанных схем серии ЭСЛ. Все входы базового ЛЭ через резисторы утечки R3 — R6 с сопротивлением примерно 50 кОм подключены к источнику отрицательного напряжения. Такое включение позволяет оставлять в аппаратуре неиспользованные входы неприсоединенными. Для исключения влияния на логическую часть схемы импульсных помех, возникающих в коллекторных цепях эмиттерных повторителей в момент переключения схемы при работе на низкоомную нагрузку, исполь-

зуются две общие шины: одна — для выходных эмиттерных повторителей, другая — для внутренней логической части схемы. Опорное напряжение $U_{оп}$ создается специальной температурно-компенсированной схемой (транзистор VT6, диоды VD1, VD2, резисторы R8 — R10) и выбирается таким образом, чтобы оно было ниже минимального напряжения U^1 . Наличие на выходах схемы эмиттерных повторителей, имеющих низкое выходное сопротивление, обеспечивает как высокое быстродействие, так и значительную нагрузочную способность схем ЭСЛ ($K > 15$ раз).

Логические элементы на полевых транзисторах

За последние десятилетие широкое распространение получили микросхемы, основанные на полевых структурах. Эти структуры названы так потому, что их работа основана на регулировании уровня тока в приповерхностном слое полупроводникового материала за счет влияния поперечного электрического поля на проводимость канала. В цифровых микросхемах практическое применение получили полевые транзисторы с оксидной изоляцией, образующие структуры металл-окисел-полупроводник (МОП). Транзисторы МОП делятся на два вида: с встроенными (легированными) и индуцируемыми каналами. В транзисторах последнего типа канал создается (индуцируется) под действием управляющего напряжения, подаваемого на затвор. С ростом этого напряжения канал обогащается носителями. В транзисторах со встроенным каналом он создается технологическим путем. По типу проводимости полевые транзисторы делятся на транзисторы с каналами p- и n-типов.

Прикладывая напряжение к затвору, можно изменять ток в канале (при постоянном напряжении на стоке), а значит менять сопротивление канала. Микросхемы на МОП-транзисторах имеют ряд преимуществ по сравнению с биполярными схемами. Они конструктивно просты, технологичны, имеют высокую помехоустойчивость и малую мощность рассеивания. МОП-вентиль занимает гораздо меньшую площадь на поверхности подложки по сравнению с биполярным ключом. Это позволяет получать микросхемы с числом эквивалентных ключей до 100000 на одном кристалле.

Из этих ключей можно образовывать логические элементы. На рис. 1.6 представлены схемы базовых ЛЭ, выполняющих функции И-НЕ и ИЛИ-НЕ, построенных на р-канальных МОП-транзисторах. В переключательных схемах с общим истоком используется отрицательное напряжение питания цепей стока. Это схемы отрицательной логики. Схемы, приведенные на рис. 1.6а, б, содержат два переключательных транзистора VT1, VT2 и один нагрузочный VT3. Чаще всего затвор нагрузочного транзистора соединяется с источником напряжения питания стоковых цепей.

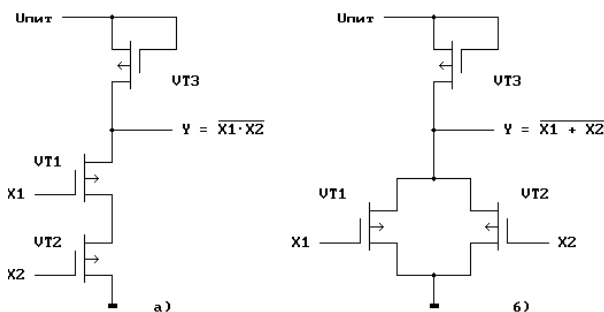


Рис. 1.6. Принципиальные схемы базовых ЛЭ для р-канальных МОП-транзисторов: а) И-НЕ; б) ИЛИ-НЕ.

Для реализации функции И-НЕ (рис. 1.6а) транзисторы VT1, VT2 соединены последовательно с нагрузочным транзистором VT3, образуя так называемое ярусное включение. Ток через VT3 может течь лишь при условии, что транзисторы VT1 и VT2 открыты, т.е. при наличии сигналов на обоих входах схемы И-НЕ. Благодаря высокому входному сопротивлению МОП-транзисторов ($R_{вх} > 10^{12}$ Ом) цифровые микросхемы, построенные на их основе, имеют высокую нагрузочную способность ($K_{раз} > 10 \dots 20$). Нагрузочная способность ограничивается лишь снижением быстродействия ключа при росте числа нагрузок, так как увеличивается постоянная времени заряда паразитной емкости нагрузки током, протекающим через VT3. При $K = 10$ паразитная емкость нагрузки $C_n = 20$ пФ, а максимальная раз рабочая частота равна 110 кГц. Схема ИЛИ-НЕ (рис. 1.6б) образуется параллельным соединением переключательных транзисторов и соединением их объединенных стоков к истоку VT3. Здесь

путь току через VT3 открывается при включении одного из транзисторов (VT1 или VT2), т.е. при наличии сигнала на одном из входов схемы ИЛИ-НЕ. Указанные схемы на р-МОП-транзисторах приведены как один из этапов развития технологии микросхем (серия К172), в новых они разработках не применяются, их заменили микросхемы на п-МОП-транзисторах при незначительных изменениях схемотехники. Рабочие частоты п-МОП-элементной базы достигают 1 МГц (серия К188). Но самое широкое распространение получили микросхемы, основанные на совместной работе р- и п-МОП структур. Существуют ЛЭ, в которых п-МОП и р-МОП структуры объединяют. Такие схемы называют комплементарной логикой (КМОП).

Комплементарная логика — серии 176, 561, 564, К1561, К1564

Цифровые микросхемы на КМОП-транзисторах отличаются рядом преимуществ по сравнению с микросхемами на р- и п-МОП-транзисторах: они имеют малую мощность потребления в статическом режиме (единицы микроватт), относительно высокое быстродействие (рабочие частоты достигают 10 МГц), хорошую помехоустойчивость и достаточно большую нагрузочную способность. Мощность, потребляемая схемой, расходуется в основном во время переходных процессов на перезаряд паразитных емкостей схемы и собственных емкостей транзисторов. Поэтому с увеличением частоты переключения схемы, а также выходной эквивалентной емкости потребляемая мощность возрастает, что моделируется уравнением

$$P_{\text{дин}} = 2C_{\text{нр}} f_{\text{р}} U_{\text{ип}}^2,$$

где C — эквивалентная емкость нагрузки; $f_{\text{р}}$ — рабочая частота; $U_{\text{ип}}$ — напряжение источника питания.

В статическом режиме мощность определяется напряжением питания и токами утечки закрытого МОП-транзистора.

КМОП логические схемы И-НЕ и ИЛИ-НЕ представлены на рис. 1.7.

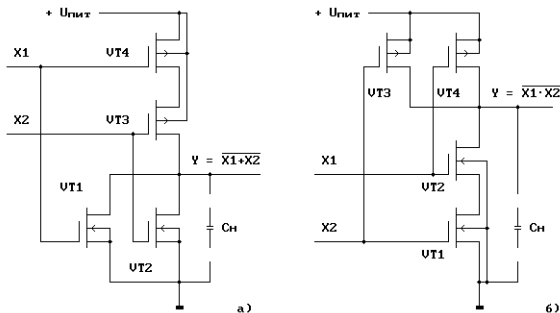


Рис. 1.7. Схемы на КМОП-транзисторах, а) ИЛИ-НЕ; б) И-НЕ.

Полярность источника питания положительная и по уровню выходных сигналов КМОП-элементы совмещены с ТТЛ схемами, что избавляет от необходимости использовать преобразователи уровней при совместной работе ТТЛ и КМОП схем. Отличительной особенностью схем, приведенных на рис. 1.7а, б, является отсутствие, при любых входных уровнях, одновременного открытого состояния транзисторов при их ярусном включении, что и обуславливает очень низкую потребляемую мощность всей схемы в статическом режиме.

Практическая часть

Задание 1. Исследование простейших логических элементов

Работа проводится на стенде ОАВТ с платой П1 и технологическими картами I-1 — I-9. На этих картах изображена принципиальная схема исследуемого устройства в виде соединения логических элементов, выполняющих какие либо логические функции. Задача студента — используя переключатели и регистрируя результат по свечению светодиодов HL1 и HL2:

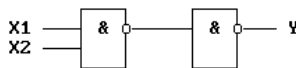
- 1) Составить таблицу истинности исследуемого устройства;
- 2) Определить выполняемую логическую функцию;
- 3) Записать ее через операции И, ИЛИ, НЕ;
- 4) Определить тип каждого логического элемента входящего в устройство;
- 5) Зарисовать принципиальную схему устройства.

Форма отчетности:

Пример — Технологическая карта I-2

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

$$Y = X1X2 = \overline{\overline{X1X2}}$$



Задание 2. Определение параметров ЛЭ ТТЛ (Работа выполняется по дополнительному заданию преподавателя)

Измерения проводятся на лабораторном стенде "Логические элементы на интегральных микросхемах" с использованием генератора Г6-27, осциллографа С1-68 и цифрового комбинированного прибора Щ4300.

1. Измерение $I_{вх}^0$, $I_{вх}^1$. Прибор Щ4300 в режиме измерения тока включить во входную цепь ЛЭ, последовательно замыкаемую на клеммы "0" и "1", находящиеся на лабораторном стенде.

2. Измерение $U_{вх}^0$, $U_{вх}^1$, $U_{вых}^0$, $U_{вых}^1$. Эти параметры определяются при снятии переходной характеристики ЛЭ с использованием генератора Г6-27 в режиме генерации однополярных пилообразных колебаний и предварительно прокалиброванного по входу "X" осциллографа С1-68. Выход генератора соединяют одновременно со входом ЛЭ и входом горизонтальной развертки осциллографа "X", а выход ЛЭ подают на вход "Y" осциллографа.

3. Измерение $t_{зд. ср}$. На лабораторном стенде закольцевать нечетное количество ЛЭ, наблюдать возникновение генерации, определить период колебаний и вычислить искомую величину по соотношению: $t_{зд. ср} = T / 2N$ (N — число используемых ЛЭ, T — период колебаний).

Контрольные вопросы

1. Что такое основной базис?
2. Какая логическая информация соответствует свободному входу

логических ТТЛ, ЭСЛ и МОП элементов?

3. Основные параметры логических элементов: $t_{зд.ср}$, $P_{потр.ср}$, помехоустойчивость, коэффициент разветвления и объединения, помехоустойчивость, надежность.
4. Назначение элементов с открытым коллектором и z-состоянием.
5. Способ измерения $t_{зд.ср}$ логических элементов.

2. Исследование основных комбинационных устройств (дешифратор, демультиплексор, мультиплексор, преобразователь кодов на ПЗУ)

2.1. Дешифраторы

Дешифратором или декодером (decoder) чаще всего называю кодирующие устройства, преобразующие двоичный код в унарный. Из всех m выходов дешифратора активный уровень имеется только на одном, номер которого равен поданному на вход двоичному числу. На всех остальных выходах дешифратора уровни напряжения неактивные. Условное изображение дешифратора на схемах показано на рис. 2.1.

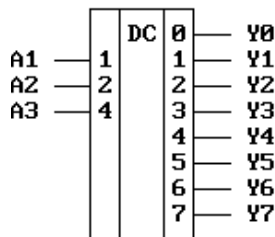


Рис. 2.1. Дешифратор 3-8.

Если дешифратор имеет n входов и m выходов и использует все возможные наборы входных переменных, то $m = 2^n$. Такой дешифратор называют полным. Если же используется лишь часть возможных наборов и соответственно меньшее число выходов, дешифратор носит название — неполный.

Дешифратор используют в случаях, когда необходимо обратиться к различным цифровым устройствам, и при этом номер устройства — его адрес — представлен двоичным кодом. Входы дешифратора (их часто называют адресными входами) нумеруют не порядковыми номерами, а в соответствии с весами двоичных разрядов, т.е. 1, 2, 4, 8, 16... Число входов и выходов дешифратора таким образом имеет вид: дешифратор 3-8 (читается "три в восемь"); 4-16; 4-10 (это неполный дешифратор).

Формально описать работу дешифратора можно путем задания списка функций, обрабатываемых каждым из его выходов Y . Так,

для дешифратора 3-8: $Y_0 = \overline{a_4 a_2 a_1}$; $Y_1 = \overline{a_4} a_2 a_1$, $Y_2 = \overline{a_4} a_2 \overline{a_1}$,
 $\dots Y_6 = a_4 a_2 \overline{a_1}$, $Y_7 = a_4 a_2 a_1$.

Реализация этих восьми выражений с помощью восьми трехвходовых элементов И дает наиболее простой по структуре дешифратор (рис. 2.2).

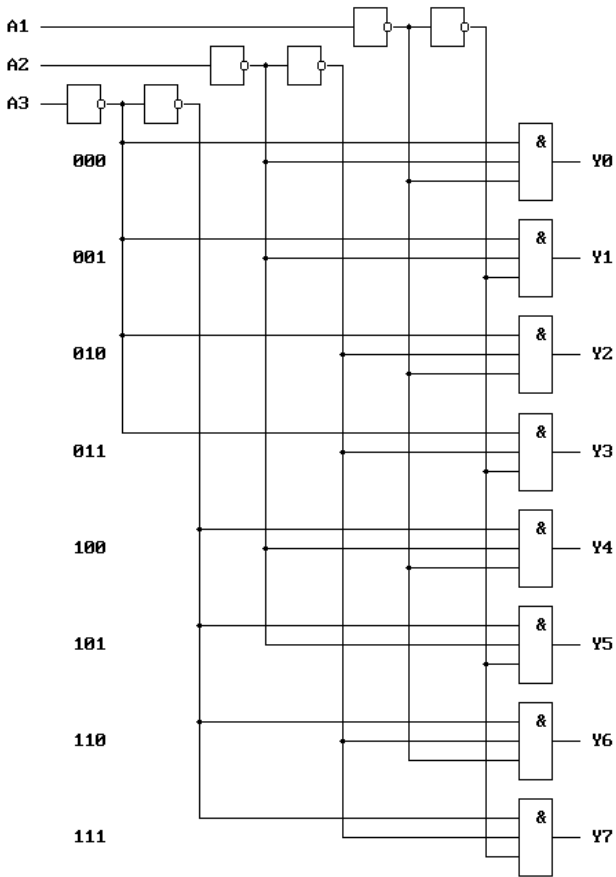


Рис. 2.2. Схема линейного дешифратора 3-8.

Основными элементами схемы дешифратора в общем случае являются m n -входовых элементов И. Кроме того, в состав схемы входят n инверторов входных сигналов и n буферных входных усилителей, обычно инвертирующих, что характерно для интегральной технологии. Назначение буферных усилителей — свести к единице кратность нагрузки, которую представляет дешифратор для источника сигнала. Иначе каждый источник сигнала, как видно из рис. 2.2 будет нагружен весьма существенно — на $m / 2$ входов элемен-

тов И.

Дешифратор часто имеет **разрешающий** (управляющий, стробирующий) вход E (enable — давать возможность). При $E = 1$ дешифратор работает как описано выше, а при $E = 0$ на всех выходах устанавливаются неактивные уровни, независимо от поступившего кода адреса. Для некоторых схем дешифраторов активным уровнем входа E может быть низкий, т.е. говорят, что вход E — инверсный.

Дешифратор, имеющий вход E , часто называют декодер-демультиплексором и на условном обозначении вместо символа DC используют символ DX . Термин "демультиплексирование" обозначает распределение какого-то одного сигнала по многим приемникам. В данном случае роль такого сигнала выполняет разрешающий уровень E .

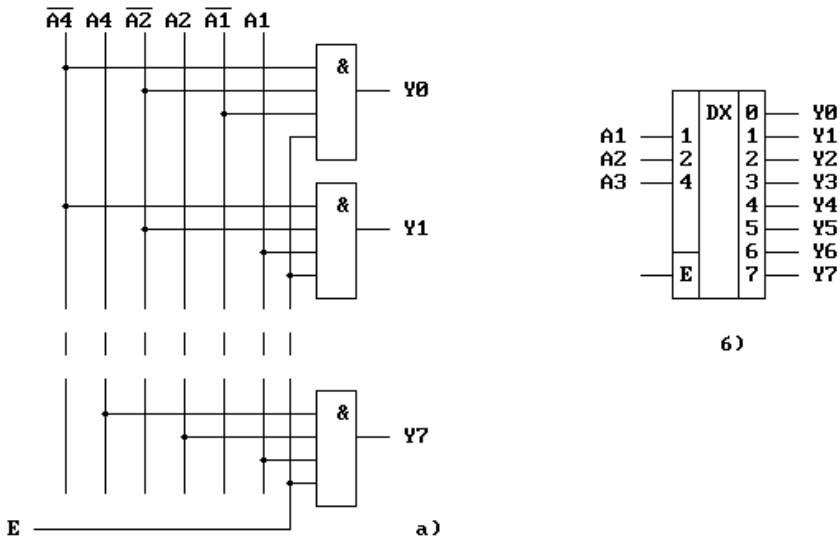


Рис. 2.3. Один из вариантов схемной реализации разрешающего входа E .

На рис. 2.3 представлен вариант построения разрешающего входа, когда сигнал E воздействует непосредственно на все дешифрующие элементы, а также дано его условное изображение.

Этот вариант требует увеличения на единицу числа входов дешифрующих элементов, но не вносит дополнительную задержку. Возможны другие варианты, основанные на том, что сигнал E дей-

ствуется только на один адресный вход, используемый во всех дешифрирующих элементах. Такой вариант является более экономичным.

Возможно **каскадное** объединение дешифраторов, ведущее к построению **пирамидальных дешифраторов**. Один из вариантов такого дешифратора показан на рис. 2.4.

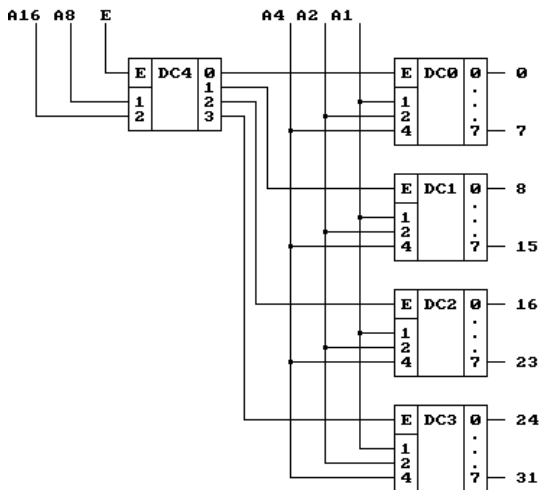


Рис. 2.4. Каскадное соединение дешифраторов.

Вся группа из пяти дешифраторов соединена в два каскада и работает как дешифратор 5-32. Два старших разряда a_{16} и a_8 расшифровываются дешифратором 2-4 на DC4, который по входам E управляет дешифраторами 3-8 второго каскада (DC0 — DC3). Младшие разряды адреса $a_4a_2a_1$ поступают на все дешифраторы второго каскада, но открытым по входу E оказывается лишь один из них. Ему и будет принадлежать единственный из всех 32 возбужденный выход. Так, например, при поступлении кода $a_{16}a_8a_4a_2a_1 = 01111$ у дешифратора DC4 активный уровень появится на выходе 1, и по входу E будет открыт только дешифратор DC1. Остальные дешифраторы второго каскада будут заперты. Разряд $a_4a_2a_1 = 111$ вызовет появление 1 на выходе 7 дешифратора DC1, т.е. на выходе 15 всего составного дешифратора, что соответствует заданному коду адреса.

В предельном случае при числе каскадов, равном разрядности адреса, получается пирамидальный дешифратор, использующий только двухвходовые элементы И, но дающий максимально возможную задержку. Из-за своей простоты такие дешифраторы были широко распространены на заре цифровой техники, и с тех пор, как сорняк, неистребимы в литературе. В настоящее время они не выдерживают конкуренции с другими структурами по элементной базе, не говоря уже о задержке.

Более перспективными являются **прямоугольные** или **матричные дешифраторы**. Пример с использованием прямоугольного дешифратора во втором каскаде приведен на рис. 2.5.

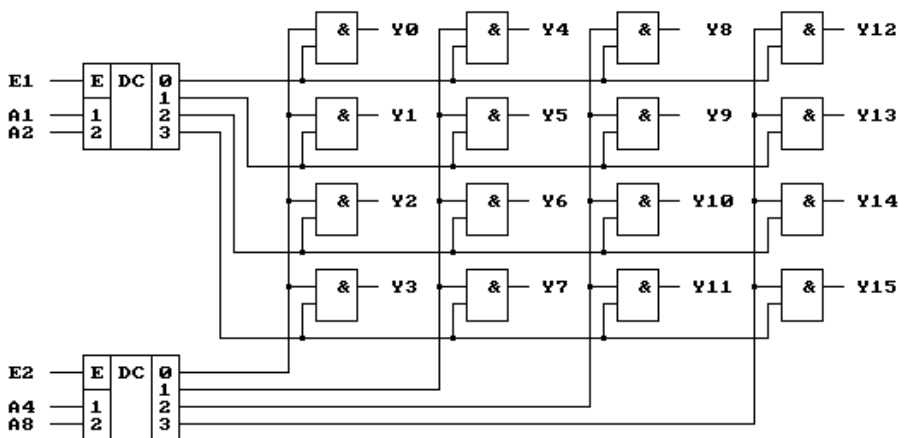


Рис. 2.5. Двухкаскадный дешифратор 4-16 с прямоугольным (матричным) дешифратором во втором каскаде.

Разряды адреса разбиты на две группы, каждая из которых независимо от другой расшифровывается своим дешифратором первого каскада DC1 и DC2. При любой комбинации значений входных переменных оказываются выбранными одна строка и один столбец сетки, в узлах которой расположены элементы И второй ступени. В результате каждый входной набор возбуждает выход единственного соответствующего ему элемента И.

Дешифраторы, выпускаемые в виде отдельных микросхем, имеют буквенное обозначение ИД. В сериях ТТЛ, в которых элементы И-НЕ наиболее технологичны, дешифраторы обычно имеют

инверсные выходы, т.е. активный низкий уровень выходного сигнала. В МОП сериях, где элементы ИЛИ-НЕ не менее технологичны, чем И-НЕ, дешифраторы чаще имеют прямые выходы.

Часто в микросхемах дешифраторов делают несколько разрешающих входов, а разрешающей комбинацией является их конъюнкция. При этом удобно наращивать дешифраторы, используя каскадный принцип и строя первый каскад дешифрации не на отдельном специальном дешифраторе, а собирая его из конъюнкторов разрешающих входов. На рис. 2.6 изображена реализация такой возможности.

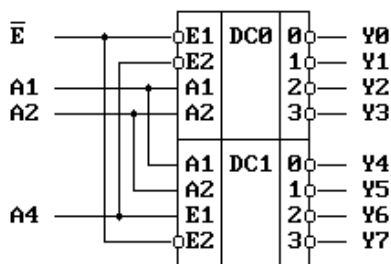


Рис. 2.6. Универсальная микросхема декодера-демультиплексора $2^*(2-4)$ или $1^*(3-8)$.

Пример такой микросхемы — К155ИД4. Каждый дешифратор имеет пару разрешающих входов. Один вход одной из секций инвертирован. Это позволяет, объединив его с неинвертирующим разрешающим входом другой секции и подав на эту пару третью переменную а, использовать ту же самую микросхему как декодер-демультиплексор 3-8 с разрешающим входом \bar{E} .

Микросхемы дешифраторов — характерный пример узлов, в которых входные и выходные сигналы представлены частично в положительной, а частично в отрицательной логике. Поэтому таблицы истинности дешифраторов часто даются не в терминах 1-0, а в терминах Н-L (Н — high, L — low). В таблице 2.1 в этих терминах описано функционирование нижней секции дешифратора, изображенного на рис. 2.6.

Таблица 2.1.

Входы	Выходы
-------	--------

1	2	E1	E2	0	1	2	3
X	X	L	X	H	H	H	H
X	X	X	H	H	H	H	H
L	L	H	L	L	H	H	H
L	H	H	L	H	L	H	H
H	L	H	L	H	H	L	H
H	H	H	L	H	H	H	L

Примечание. X — безразличное состояние.

Временные характеристики микросхем дешифраторов определяются задержками двух факторов: адресные входы-выход и вход разрешения-выход. Обе эти характеристики приводятся в полных справочниках. Задержка по тракту разрешения всегда меньше задержки по тракту адреса. Типовая задержка микросхем дешифратора лежит в пределах $(1 - 2)t_{зд}$ данной серии логических элементов.

2.2. Мультиплексоры

Термин "мультиплексирование" означает процесс передачи данных от нескольких источников по общему каналу, а устройство, осуществляющее эту операцию, принято называть **мультиплексором**. Но это же устройство может выполнять и другую операцию — **выбор, селекцию** (select — выбирать) данных из определенного, указанного адресным кодом источника. Кроме того, поскольку схема выполняет коммутацию сигналов, ее еще называют **коммутатором**. Терминологическая многозначность повлекла многозначность и в условных обозначениях на функциональных схемах, поскольку ЕСКД требует обозначать мультиплексор MUX (MX), селектор — SL, а мультиплексор-селектор — MS. Учитывая, что все три термина эквивалентны, выбираем наиболее употребляемый термин — мультиплексор, и обозначение MS. На рис. 2.7 приведено условное изображение мультиплексора.



Рис. 2.7. Условное изображение мультиплексора.

Вход E (рис. 2.7) — разрешающий: при $E = 1$ мультиплексор работает как обычно, а при $E = 0$ выход схемы находится в неактивном состоянии, мультиплексор заперт. Возможный вариант структурной схемы мультиплексора показан на рис. 2.8.

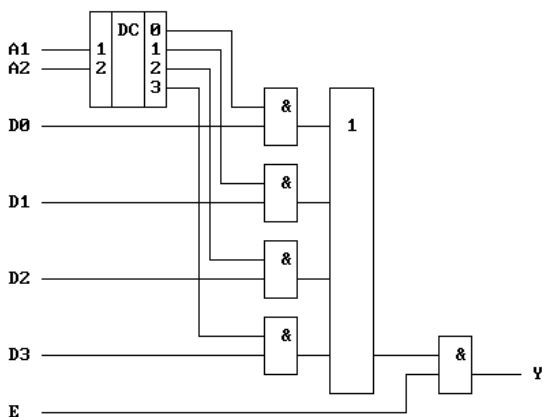


Рис. 2.8. Возможный вариант структурной схемы мультиплексора.

По этой схеме легко проследить поэтапную работу мультиплексора. Дешифратор производит расшифровку адреса, на конъюнкторах происходит выбор входного канала, сбор всех каналов осуществляет элемент ИЛИ, и на последнем элементе И происходит подключение этого канала к выходу при $E = 1$.

Применение мультиплексоров не ограничивается операциями мультиплексирования и селекции. На рис. 2.9 показано использование мультиплексора в качестве параллельного сдвигателя (i -го разряда).

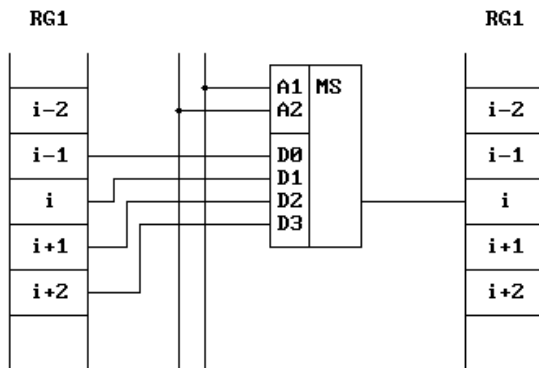


Рис. 2.9. Один разряд комбинационного сдвигателя.

В полной схеме сдвигателя ко входу каждого разряда регистра RG2 подключено по такому же мультиплексу, входы данных которого в свою очередь подключены к выходам нескольких разрядов RG1. На адресные входы мультиплексов всех разрядов подается один и тот же код. В результате в зависимости от значения адресного кода в i -разряд RG2 будет переписываться содержимое различных разрядов RG1. При адресном коде $a_2a_1 = 01$, как видно из рис. 2.9, данные будут передаваться на одноименный разряд RG2 без сдвига. При коде $a_2a_1 = 00$ в i -разряд RG2 будет передаваться содержимое соседнего младшего разряда, $(i-1)$ регистра RG1, т.е. передача произойдет со сдвигом разряда в сторону младших разрядов (влево). При кодах $a_2a_1 = 10$ и 11 , передаваемое число будет сдвинуто в сторону старших разрядов (вправо) на один или два разряда соответственно.

Мультиплексор можно использовать в качестве универсального логического элемента для реализации любой функции от числа аргументов равного числу адресных входов мультиплексора. Например, для реализации функции, заданной таблицей 2.2, потребовалось бы четыре элемента ЗИ-НЕ и три инвертора, что составляет минимум два корпуса (поскольку функция не минимизируется). При использовании мультиплексора эта задача решается с помощью одного корпуса (рис. 2.10).

Таблица 2.2.

a	b	c	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

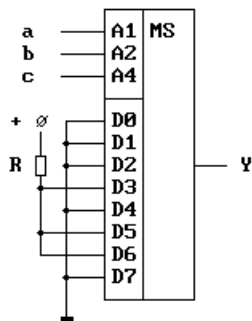


Рис. 2.10. Реализация функции (Табл. 2.2) с помощью мультиплексора

Мультиплексоры 4-1, 8-1, 16-1 выпускаются в составе многих серий и имеют буквенный код КП. Их временные характеристики задаются задержками по трем трактам: вход адреса — выход, вход данных — выход, вход разрешения — выход. Для большинства серий эти величины лежат в пределах $(1-2)t$ своей серии элементов.

2.3. Преобразователи кодов

Если закон работы преобразователя не описывается каким-либо достаточно понятным правилом, как, например, работа декодера или мультиплексора, то единственной практически приемлемой формой задания преобразователя становится таблица истинности. Поскольку таблица воплощает в себе идею полного перебора вариантов, она способна задавать абсолютно любой закон. По таблице можно реализовать преобразователь кодов как схемное воплощение для системы булевых функций группы аргументов. Условное обозначение таких преобразователей показано на рис. 2.11.

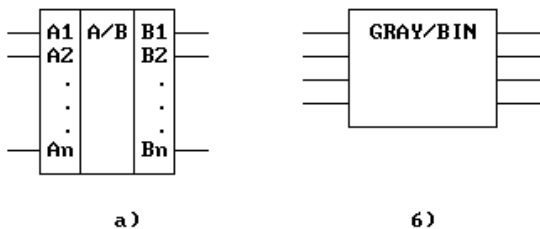


Рис. 2.11. Примеры условного изображения преобразователя кода. а) преобразователь кода А в код В по произвольному закону, б) преобразователь кодов, имеющих общепринятые названия, в данном случае — кода Грея в двоичный.

Исключительная простота синтеза произвольных кодовых преобразователей по принципу декодер-кодер обусловила выпуск микросхем средней и даже большой интеграции, специально предназначенных для реализации кодовых преобразователей. Это — микросхемы **программируемых логических матриц** — ПЛМ (programmable logic array — PLA). Такие микросхемы содержат инверторы, элементы И и ИЛИ, соединенные друг с другом определенным образом, в том числе и с помощью легкоплавких перемычек (проводников) внутри самой микросхемы. Путем электрической настройки (программирования или "прошивки") ненужные связи между элементами удаляются (перемычки пережигаются), а требуемые оставляются. В результате ПЛМ реализует m (число ее выходов) требуемых булевых функций от n аргументов (число информационных входов ПЛМ). Характерным для ПЛМ является тот факт, что $m \ll 2^n$, т.е. реализуются не все возможные комбинации входных аргументов. Примером ПЛМ является микросхема К556РТ1 с $n = 16$, $m = 8$.

Если при n входах число элементов И сделать максимально возможным, т.е. равным 2^n , и реализовать на них полный дешифратор, то ПЛМ превращается в **постоянное запоминающее устройство** (ПЗУ). На рис. 2.12 показано условное изображение на схемах и функциональная схема ПЗУ.

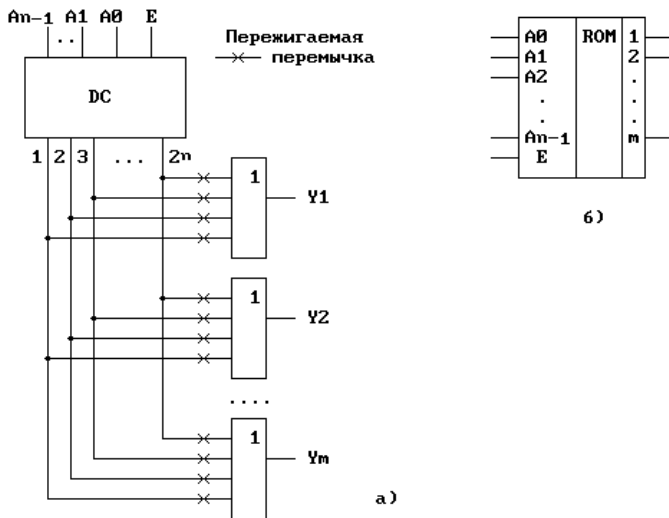


Рис. 2.12. Функциональная схема (а) и условное обозначение (б) постоянного запоминающего устройства

По принятой терминологии входной код $a_0 \dots a_{n-1}$ называют адресом, 2^n вертикальных линий — числовыми линейками, m выходов — разрядами хранимого слова. При поступлении на вход ПЗУ любого двоичного кода всегда выбирается одна из числовых линеек. При этом на выходе тех элементов ИЛИ, связь которых с данной числовой линейкой не разрушена, появляется 1. Это значит, что в данном разряде выбранного слова (или числовой линейки) записана 1. На выходах тех разрядов, связь которых с выбранной числовой линейкой выжжена, останутся нули. Закон программирования может быть и инверсным.

Таким образом, ПЗУ — это функциональный узел с n входами и m выходами, хранящий 2^n m -разрядных слов, которые при работе цифрового устройства не изменяются. При подаче на вход ПЗУ адреса на выходе появляется соответствующее ему слово. При логическом проектировании постоянное ЗУ рассматривают или как память с фиксированным набором слов, или как кодовый преобразователь, у которого в отличие от ПЛМ можно использовать все возможные кодовые комбинации на входах. Поэтому ПЗУ имеют значительно большую логическую мощность, чем ПЛМ, при том же

числе выходов корпуса.

На схемах (рис. 2.12) ПЗУ обозначается ROM (Read Only Memory — память, которая может только считываться). Постоянные запоминающие устройства обычно имеют вход разрешения E. При активном уровне на входе E ПЗУ выполняет свои функции. При отсутствии разрешения выходы микросхемы неактивны. Разрешающих входов может быть несколько, тогда микросхема отпирается по совпадению сигналов на этих входах. В ПЗУ сигнал E часто называют чтением (read — R), **выбором микросхемы, выбором кристалла** (chip select — CS). Микросхемы ПЗУ приспособлены для наращивания разрядности. Примером ПЗУ может служить микросхема K155PE3, которая в данной работе используется как преобразователь двоичного кода в код семисегментного цифрового индикатора HG1 лабораторного стенда ОАВТ.

Практическая часть

Работа выполняется на **универсальном стенде ОАВТ** с использованием платы **П4** и технологических карт **1V-1, 1V-2** и **1V-3**. Карта **1V-1** позволяет исследовать дешифратор-демультиплексор на МС K155ИД4, которая включена по схеме 3-8. Дешифратор инвертирует выходные сигналы. Поэтому при ненажатой кнопке SB2 (запрет) все светодиоды (HL1 — HL8), подключенные к выходам дешифратора, светятся. При нажатой кнопке SB2 светодиод, номер которого соответствует установленному тумблерами SA1 — SA3 адресу, погаснет. Работа МС в режиме демультиплексора исследуется при подаче входной информации на разрешающий вход V от кнопки SB2.

Задание 1

С использованием таблиц истинности или булевых выражений описать работу устройств дешифратора и демультиплексора на МС K155ИД4. Карта **1V-2** позволяет исследовать преобразователь двоичного кода в код семисегментного индикатора на МС K155PE3. Каждому "0" в выходном слове ПЗУ будет соответствовать светящийся сегмент индикатора HG1. При сигнале с SA5, равном логическому "0", на индикаторе HG1 индицируются десятичные числа.

При этом для индикации чисел, больших 9, на индикаторе загорается "десятичная точка" (светодиод h). При сигнале с SA5, равном логической "1", индикатор высвечивает шестнадцатеричные цифры от 0 до F.

Задание 2

Проанализировать работу преобразователя кода и восстановить таблицу "прошивки" используемого в данной работе ПЗУ на МС К155РЕ3. Схема нумерации светодиодных сегментов индикатора приведена на рис. 2.13.

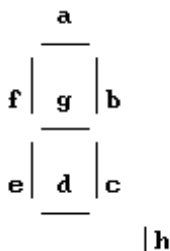


Рис. 2.13. Нумерация сегментов индикатора.

Карта 1V-3 предназначена для исследования мультиплексора. Адрес, управляющий мультиплексором, заносится в регистр с тумблеров SA1 — SA3 по нажатию кнопки SB3. После этого на один из D-входов мультиплексора подается информационный сигнал с того выхода дешифратора, адрес которого вновь набирается на тумблерах SA1 — SA3. При совпадении адресов дешифратора и мультиплексора загорается светодиод HL1.

Задание 3

С использованием таблицы истинности или булевых выражений описать и проанализировать работу мультиплексора (коммутатора) МС К155КП5.

Контрольные вопросы

1. Структура линейного дешифратора.
2. Варианты построения многоразрядных дешифраторов.
3. Преобразователи кодов на ПЛМ и ПЗУ.

4. Назначение мультиплексоров.

3. Триггеры в интегральном исполнении

В отличие от комбинационных логических цепей триггеры — это логические устройства с положительной обратной связью, обладающие двумя устойчивыми состояниями т.е. памятью. Их выходные сигналы в общем случае зависят не только от сигналов, приложенных к входам в данный момент времени, но и от сигналов, воздействовавших на них ранее. В зависимости от свойств, числа и назначения входов триггеры можно разделить на несколько видов.

Прежде всего следует различать тактируемые и нетактируемые триггеры. Изменение состояния нетактируемого (асинхронного) триггера происходит сразу же после соответствующего изменения потенциалов на его управляющих входах. В тактируемом (синхронном) триггере изменение состояния может произойти только в момент присутствия соответствующего сигнала на тактовом входе.

Тактирование может осуществляться импульсом (потенциалом) или фронтом (перепадом потенциала). В первом случае сигналы на управляющих входах оказывают влияние на состояние триггера только при разрешающем потенциале на тактовом входе. Во втором случае воздействие управляющих сигналов проявляется только в момент перехода $1 \rightarrow 0$ или $0 \rightarrow 1$ на тактовом входе. Существуют также универсальные триггеры, которые могут работать как в тактируемом, так и нетактируемом режиме.

Основные типы триггеров в интегральном исполнении носят следующие названия: D-триггеры, T-триггеры, SR-триггеры и JK-триггеры. Все они характеризуются наличием двух выходов: основной выход — Q и инверсный по отношению к нему \bar{Q} (иногда обозначаемый символом P , т.е. $P = \bar{Q}$ и $\bar{P} = Q$). Говорят, что триггер **установлен** (в единичное состояние) если на выходе Q установлена 1 и триггер **погашен**, если на выходе Q установлен 0.

Принципы построения триггеров

3.1. RS-триггер

Установка такого триггера в единичное состояние производится путем воздействия на его вход S (set — установить) активного уровня. Перевод триггера в нулевое состояние — **сброс** — производят по входу R (reset).

Функционирование RS-триггера определяется уравнениями

$$Q_{t+1} = (S + \bar{R} Q)_t; \quad SR = 0.$$

Индексы t и t+1 указывают на временную принадлежность индексированных сигналов. Для RS-триггера комбинация R = 1 и S = 1 является запрещенной. После подачи такой комбинации управляющих сигналов состояние триггера будет неопределенным: он может оказаться или в нуле, или в единице.

Схема простейшего триггера (рис. 3.1а) получается, если включить кольцом два элемента ИЛИ-НЕ.

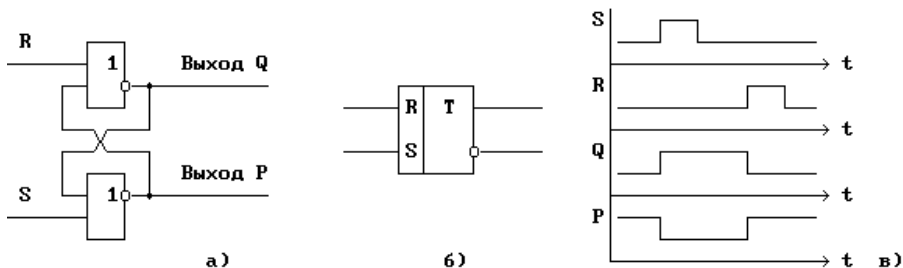


Рис. 3.1. а — RS-триггер на элементах ИЛИ-НЕ, б — изображение RS-триггера на функциональных схемах, в — временные диаграммы работы RS-триггера.

Пока на обоих управляющих входах R и S уровни сигналов неактивны, в данном случае равны 0, триггер находится в одном из двух устойчивых состояний. Если значение сигнала на выходе Q равно 1, то, как видно из схемы, этот единичный сигнал, поступая по цепи обратной связи на вход элемента DD2, вызывает появление на выходе P сигнала с нулевым уровнем. В свою очередь, нулевой уровень выхода P, поступая на вход элемента DD1, поддерживает Q в состоянии 1. Иначе говоря, при входных сигналах R = 0 и S = 0, появившаяся по любой причине на выходе Q единица по це-

пи обратной связи будет сама себя поддерживать сколь угодно долго. В силу симметрии схемы она будет так же устойчива и в своем противоположном — нулевом состоянии, когда уровень на выходе Q равен 0. Режим RS-триггера, когда оба управляющих сигнала R и S неактивны, называют **режимом хранения**.

На рис. 3.1в показана временная диаграмма работы RS-триггера при подаче на него управляющих сигналов. Исходное состояние триггера — нулевое, на его входы поступают по очереди сначала S , а затем, после его окончания — сигнал R . Из диаграммы видно, что после окончания входного сигнала триггер способен сохранять свое новое состояние также сколь угодно долго. Говорят, что триггер **запоминает** входной сигнал. Этим специфическим и очень важным свойством триггер отличается от всех комбинационных логических схем без положительной обратной связи: после исчезновения входного сигнала выходной сигнал в этих схемах также исчезает.

Если на RS-триггер подать одновременно оба входных сигнала, то на обоих выходах Q и P появятся нули. Если теперь одновременно снять единицы со входов R и S , то оба элемента начнут переключаться в единичное состояние, стремясь при этом оставить своего партнера в нуле. Какой элемент одержит победу в этом поединке, будет зависеть от их коэффициента усиления, скоростей переходных процессов и ряда неизвестных заранее факторов. Поэтому комбинация $R = S = 1$ считается **запрещенной**, и в обычных условиях ее не используют.

В ТТЛ-сериях практически все триггеры строят на элементах И-НЕ (рис. 3.2), т.е. двойственной по отношению к триггеру на рис. 3.1.

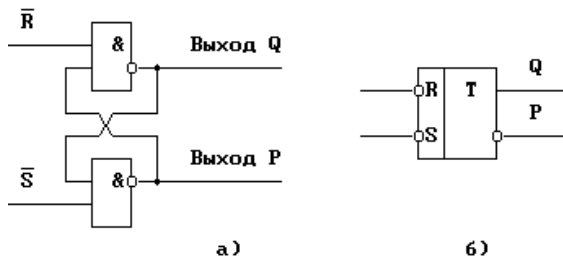


Рис. 3.2. RS-триггер с инверсными входами на элементах И-НЕ: а — функциональная схема, б — условное изображение.

Как следовало ожидать, в таком триггере все "наоборот". В режиме хранения на обоих входах должны быть не нули, а единицы; сигналы управления \bar{R} и \bar{S} имеют активный низкий уровень (отсюда символы инверсии на входах); одновременная подача двух нулей на входы запрещена. Полезно самостоятельно построить временную диаграмму работы этого триггера.

Основное назначение триггеров в цифровых схемах — хранить выработанные логическими схемами результаты. Для отсечения еще не установившихся, искаженных переходными процессами результатов между выходом логической схемы и входом триггера можно включить управляемый конъюнктор. Это решение оказалось очень эффективным, быстро стало типовым и побудило изготовителей триггеров ввести конъюнктор, управляемый синхросигналом, в состав триггера. Так появились **синхронные триггеры**, которые переключаются в состояние, предписываемое управляющими входами, лишь по сигналу синхронизации, поступающему на синхровход С триггера. Синхросигнал называют также **синхроимпульсом**, **С-сигналом**, **С-импульсом**, а синхровход — **С-входом**. При неактивном уровне С-сигнала синхронный триггер находится в режиме хранения и не реагирует ни на какие управляющие сигналы.

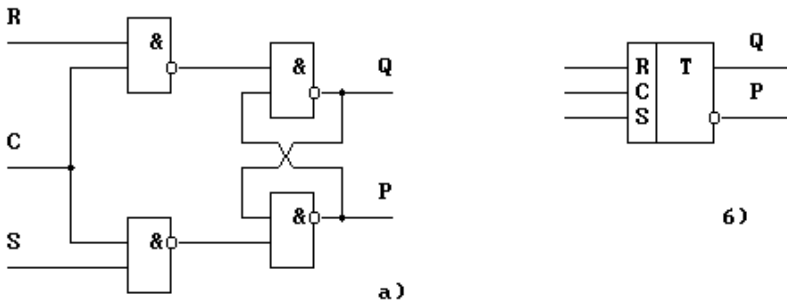


Рис. 3.3. Синхронный RS-триггер: а — функциональная схема, б — условное изображение.

Схема простейшего синхронного RS-триггера приведена на рис. 3.3а, где конъюнкторы DD1 и DD2 играют роль ключа: при $C = 0$ триггер, собранный на элементах DD3 и DD4, отключен от управляющих R- и S-входов и находится в режиме хранения ранее полученной информации. При $C = 1$ схема функционирует как обычный RS-триггер. Условное изображение синхронного RS-триггера показано на рис. 3.3б. Синхровход C может иметь и активный низкий уровень, в этом случае он, как обычно, помечается кружочком или указателем уровня. Функционирование синхронного RS-триггера определяется уравнением

$$Q_{t+1} = CS + \overline{CR} Q_t.$$

3.2. D-триггер

Этот тип синхронного триггера исключительно широко используется в цифровых устройствах. Другое его название **прозрачная защелка** (transparent latch) или просто **защелка**. D-триггер имеет два входа: вход данных D и вход синхронизации C. D-триггер переключается только по сигналу на C-входе в состояние, предписываемое D-входом. В некотором смысле он задерживает прохождение поступившего по D-входу уровня до появления C-сигнала, откуда и произошло название D-триггера (delay — задержка). Другое назначение D-триггера — сохранить данные (data), поступившие однажды на D-вход. C-сигналы в этом случае играют роль команды **записать в триггер**. RS-триггеры в своем чистом виде для хранения дан-

ных неудобны и в этой роли не используются, поскольку для записи они требуют двух последовательных сигналов: сброса по входу R и затем собственно записи по S-входу. Условное обозначение D-триггера показано на рис. 3.4б.

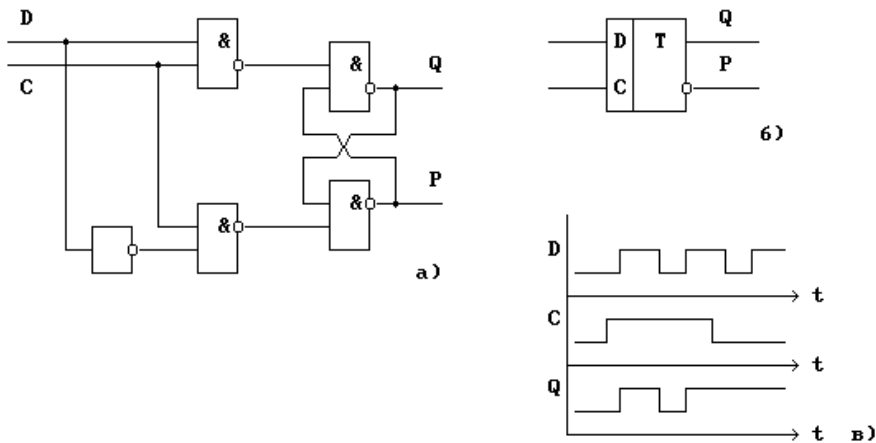


Рис. 3.4. D-триггер типа "прозрачная защелка": а — универсальный способ построения D-триггера из синхронного RS-триггера; б — условное обозначение; в — пример временной диаграммы работы D-триггера.

На этом рисунке показан универсальный способ построения D-триггера из синхронного RS-триггера: с помощью инвертора DD1 однофазный вход данных D превращается в парафазный и подается на S- и R-входы. Функционирование D-триггера описывается уравнением

$$Q_t = CD + \overline{CD} Q_t .$$

Триггеры, тактируемые фронтом, могут быть построены по-разному. Один из широко применяемых при этом приемов — это построение двухступенчатого триггера на основе двух триггеров, тактируемых импульсом. Реализованная таким путем схема тактируемого фронтом D-триггера показана на рис. 3.5а.

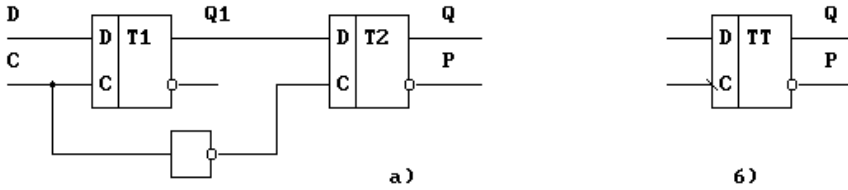


Рис. 3.5. Принцип построения (а) и обозначение триггера, тактируемого фронтом (б).

Как видим, здесь информационный вход D в триггере второй ступени соединен с прямым выходом $Q1$ триггера первой ступени. Тактовый сигнал подается одновременно на обе ступени, но на триггере второй ступени он инвертирован. Благодаря этому при любом сигнале на тактовом входе ($C = 0$ или $C = 1$) один из двух триггеров не реагирует на сигнал на его управляющем входе. Поэтому как при $C = 0$, так и при $C = 1$ изменение сигнала на входе D не приведет к непосредственному изменению выходного сигнала Q двухступенчатого триггера. И только в тот момент, когда потенциал C переходит из 1 в 0, возможно изменение выходного сигнала Q . Действительно, при $C = 1$ триггер первой ступени воспринимает информацию со входа D . Когда же C становится равным нулю, триггер второй ступени устанавливается в состояние, соответствующее выходному сигналу триггера первой ступени.

3.3. JK-триггер

JK-триггер имеет два управляющих входа J и K . Подобно RS-триггеру, в JK-триггере J и K — это входы установки триггера в единицу и нуль. Но в отличие от RS-триггера в JK-триггере выходы петлями инвертирующих обратных связей (накрест) заведены на входные конъюнктеры $DD1$ и $DD2$ (рис. 3.6а). Внешние входы самого триггера при этом принято называть уже не S и R , а J и K . Благодаря обратным связям комбинация входных сигналов ($J = K = 1$) уже не является запрещенной, при ней триггер переходит в противоположное состояние. Это так называемый счетный режим, или Т-режим работы триггера (toggle — кувыркаться). JK-триггеры тактируются только перепадом потенциала на тактовом входе

Уравнение для JK-триггера выглядит следующим образом:

$$Q_{t+1} = (J\bar{Q} + \bar{K}Q)_t$$

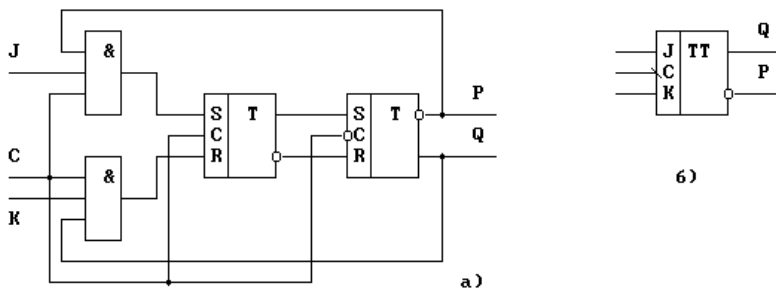


Рис. 3.6. Вариант построения JK-триггера на синхронизируемых RS-триггерах (а); обозначение JK-триггера (б).

При $J = K = 0$ С-сигнал не может открыть входные элементы DD1 и DD2, и триггер находится в режиме хранения. При $J = 1, K=0$ синхросигналом может быть открыт лишь элемент DD1 и только при условии, что перед поступлением С-сигнала на выходе триггера был 0 ($Q = 0, P = 1$). Тогда по срезу синхросигнала триггер переключится в 1. Если же триггер до синхросигнала был в 1, то он так и останется в 1. Таким образом, J-вход выполняет функции синхронизированного S-входа. В силу симметрии схемы легко показать, что K-вход выполняет функции синхронизированного R-входа, переводя триггер в 0.

Таблица 3.1.

Режим	Входы			Выход
	С	J	K	Q_{t+1}
Хранение	×	0	0	Q_t
Сброс	┘	0	1	0
Установка	┘	1	0	1
Счетный	┘	1	1	\bar{Q}_t

Кратко функционирование JK-триггера описывается табл. 3.1.

Новым символом в таблице является символ среза синхроимпульса, который также иногда изображается направленной вниз стрелкой. Таблица отражает тот факт, что для JK-триггера переключающей сущностью синхроимпульса является не уровень его, а перепад уровня. Символ Q означает состояние триггера перед поступлением среза С-сигнала.

Схема, близкая к показанной на рис. 3.6а, лежит в основе триггера K155ТВ1. Эта микросхема имеет тройные конъюнктивные входы J и K, т.е. сам двухступенчатый триггер получает или К-сигнал лишь при совпадении единиц на всех трех J- или K-входах микросхемы. Условное обозначение двухступенчатого JK-триггера, имеющего тройные конъюнктивные J- и K-входы, показано на рис. 3.7. Две буквы Т указывают на наличие двух ступеней. Вход С, реагирующий на отрицательный перепад, выделен специальным значком.

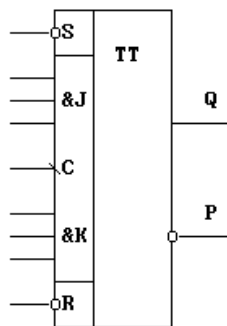


Рис. 3.7. Схема K155ТВ1

JK-триггер является универсальным триггером, он выполняет все функции RS-триггера, легко может быть превращен в D-триггер объединением через инвертор J- и K-входов. Полезно самостоятельно нарисовать схему преобразования JK-триггера в D-триггер и временную диаграмму его работы.

3.4. Т-триггер

Т-триггер, или счетный триггер, срабатывает только по соответствующему фронту на тактовом входе, т.е. Т-триггеры бывают только тактируемые фронтом. Частота изменения потенциала на выходе Т-триггера в два раза меньше частоты импульсов на его тактовом входе. Это свойство Т-триггеров позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют **счетными**. Уравнение, описывающее работу Т-триггера, записывается следующим образом:

$$Q = (\bar{Q}T + QT\bar{Q})$$

Как было отмечено выше, JK-триггер по С-входу выполняет функции Т-триггера, если на его установочные входы одновременно поданы единицы. Но чаще используют вариант объединения всех входов этого триггера, как показано на рис. 3.8а.

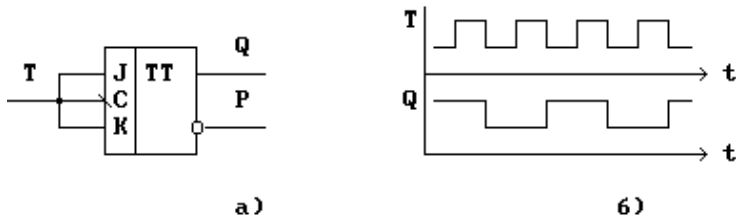


Рис. 3.8. JK-триггер в счетном режиме (а) и временные диаграммы его работы (б).

На D-триггере также можно обеспечить счетный режим. Для выполнения этого условия необходимо вход D объединить с P-выходом триггера, а счетные импульсы подать на тактовый вход. Предлагается самостоятельно зарисовать такой вариант включения D-триггера и временные диаграммы его работы. Синхронизируемый RS-триггер требует больших изменений в схемном решении для обеспечения счетного режима, чем D-триггер. Действительно, здесь два установочных входа определяют новое состояние RS-триггера по приходу синхроимпульса и поэтому требуется введение двух обратных связей для управления установочными входами. Логика работы RS-триггера подсказывает схемное решение: если триггер находится в нулевом состоянии, а по синхросигналу должен перекинуться в единичное, значит, на S-входе должна быть единица, а на R-входе — нуль. При единичном исходном состоянии требования обратные. Эти условия можно выполнить только единственным способом: S-вход объединить с P-выходом триггера, а R-вход с Q-выходом, как показано на рис. 3.9а.

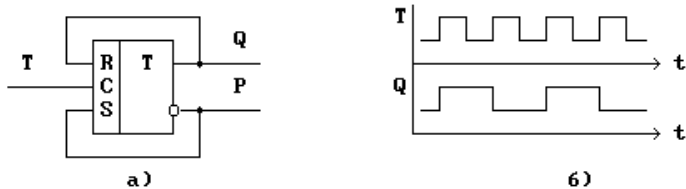


Рис. 3.9. Синхронный RS-триггер в счетном режиме (а) и временные диаграммы его работы.

Практическая часть

Работа выполняется на универсальном стенде ОАВТ на плате П2 с технологическими картами П-1, П-2 и П-4. На этих картах изображены принципиальные схемы триггеров RS-типа на элементах ИЛИ-НЕ (П-1), И-НЕ (П-2) и в интегральном исполнении на ИМС типа К155ТМ2. На карте П-4 — схема D-триггера на ИМС типа К155ТМ2.

Задание:

1. Для каждого триггера составить таблицу истинности, т.е. таблицу изменений состояний триггера в зависимости от входных сигналов (перебрать все возможные комбинации). Проанализировать режимы работы триггеров (режим хранения, записи, сброса, запрещенный режим).
2. Для тактируемого D-триггера по полученной таблице нарисовать временную диаграмму напряжений на выходе Q по известным сигналам на входах D и C.
3. Определить, по какому фронту синхроимпульса происходит запись информации в D-триггер (карта П-4).
4. Предложить схему изменения на плате П2, превращающая D-триггер в T-триггер. Исследовать работу T-триггера.

Контрольные вопросы

1. Структура и назначение триггеров.
2. Синхронизация триггеров.
3. Непрозрачная защелка.

4. Построение счетных триггеров.

4. Арифметические регистры

Регистр — это линейка из нескольких триггеров, применяемая для приема и хранения кода числа. При наличии вспомогательных устройств регистры могут выполнять и другие операции такие как преобразование кода числа, сдвиг числа, преобразование параллельного кода в последовательный и наоборот. Эти свойства регистров определяют их использование при построении арифметико-логических устройств. Разрядность регистра определяется числом используемых триггеров. Типовыми внешними связями регистра являются информационные входы D_i , вход сигнала записи (или загрузки) C , вход гашения R , выходы триггеров Q_i . По своей внутренней структуре регистры подразделяются на параллельные и последовательные (сдвиговые). Это подразделение относится к простейшим регистрам и триггерным сборкам типа K155TM8, где размещены четыре D-триггера, и их можно использовать как регистр.

4.1. Параллельный регистр

Для организации параллельного регистра из триггерных сборок необходимо всего лишь объединить синхровходы и входы гашения отдельных триггеров (если эти связи отсутствуют в выбранной МС), как это показано на рис. 4.1.

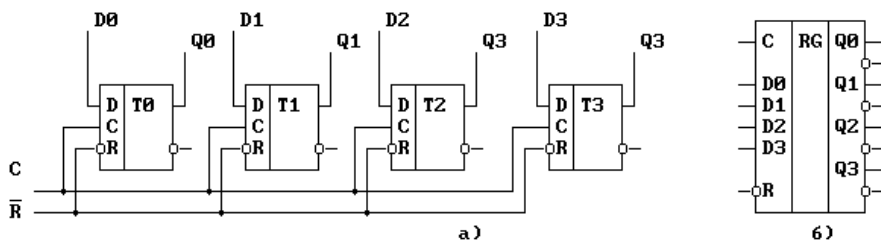


Рис. 4.1. Схема (а) и обозначение (б) параллельного четырехразрядного регистра

Запись данных по входам $D0$ — $D3$ будет производиться по фронту синхросигнала C , в данном случае выполняющего роль сигнала **разрешение записи**. При необходимости использования на выходе кода обратного к записанному, можно воспользоваться инверсными выходами триггеров. Здесь вход R — приоритетный и ис-

пользуется для экстренного сброса регистра в 0.

4.2. Сдвиговый регистр

Сдвиговый регистр может сдвигать содержимое в сторону старших или младших разрядов при подаче команды **сдвиг**. Схемную реализацию такого регистра можно осуществить, введя дополнительные связи в рассмотренную выше триггерную линейку, как показано на рис. 4.2.

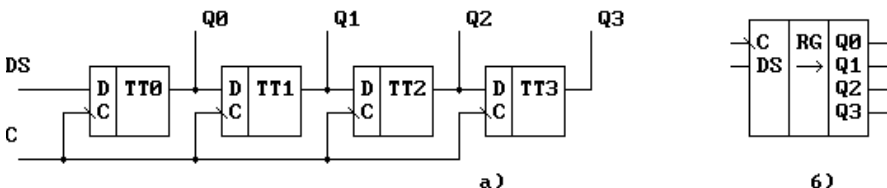


Рис. 4.2. Схема на триггерах (а) и условное обозначение (б) четырехразрядного сдвигающего регистра

Пусть на рис. 4.2а, триггер ТТ0 — младший, а ТТ3 — старший; D-вход каждого триггера (кроме ТТ0) подключен к выходу соседнего младшего триггера. Когда на все объединенные C-входы триггеров поступит активный отрицательный фронт сигнала СДВИГ, выход каждого триггера принимает состояние своего младшего соседа, и, таким образом, информация, содержащаяся в регистре, сдвинется на один разряд в сторону старших разрядов, вправо. Триггер ТТ0 принимает при этом состояние последовательного входа DS (data serial). Регистр загружается данными, последовательно поступающими по этому входу. Считывать данные, хранящиеся в регистре, можно как в последовательном коде с выхода последнего разряда, так и в параллельном, сразу со всех разрядов. Необходимым условием устойчивой работы сдвигового регистра является непрозрачность используемых триггеров. Непрозрачность есть свойство триггера (даже при активном уровне C-сигнала) не передавать на выход изменений управляющих входов, происшедших вскоре после переключающего фронта C-сигнала, вплоть до поступления очередного переключающего фронта. Если переключающий фронт — задний, то сразу после него уровень C-сигнала становится пассивным. Этого уже достаточно для того, чтобы ника-

кие изменения управляющих уровней, возникших сразу после переключающего фронта, не проникли на выход триггера.

4.3. Универсальный регистр

Выпускаемые промышленностью регистровые МС содержат, как правило, универсальные регистры, способные работать в любом режиме в зависимости от управляющих входных сигналов. Схемотехнику такого универсального регистра рассмотрим на примере регистра К155ИР1, упрощенная функциональная схема и условное обозначение которого показаны на рис. 4.3.

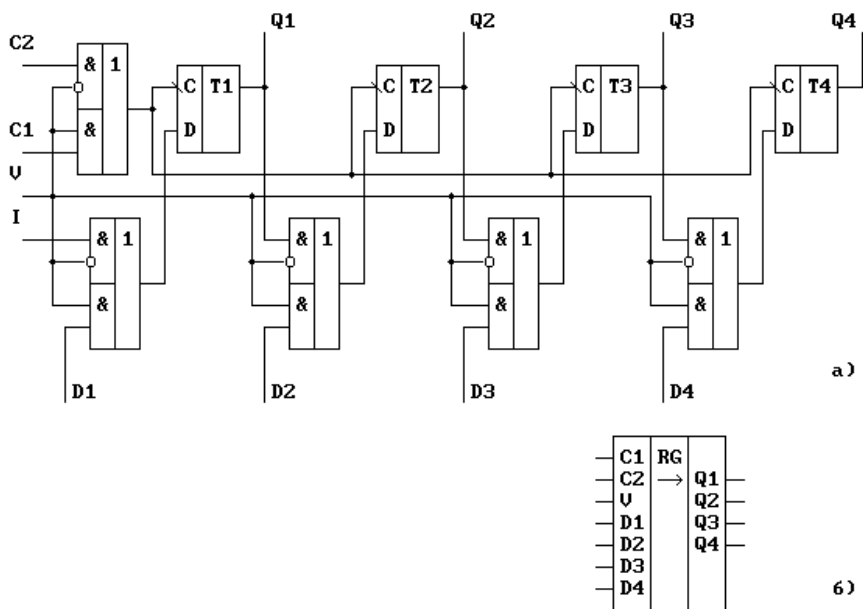


Рис. 4.3. Схема (а) и условное обозначение (б) регистра сдвига К155ИР1

Этот регистр содержит четыре тактируемых фронтом D-триггера, соединенных последовательно с помощью ячеек И-ИЛИ. Если на вход V подать нулевой потенциал, то выход каждого предыдущего триггера оказывается соединенным через ячейку И-ИЛИ со входом D последующего. При этом импульсы, приходящие на тактовый вход C2, будут каждый раз устанавливать последующий триггер в состояние, в котором до этого находился предыдущий. Таким образом осуществляется сдвиг информации вправо. Вход I

регистра, связанный со входом D первого триггера, служит для приема информации в виде последовательного кода. С каждым тактовым импульсом на этот вход должен подаваться код нового разряда входной информации. После приема четырех разрядов последовательного кода соответствующий параллельный код может быть получен с выходов триггеров Q1 — Q4. Запись параллельного кода в регистр идет по входам D1 — D4 при подаче единичного потенциала на вход V и тактового импульса на вход C1. Устанавливая затем $V = 0$ и подавая тактовые импульсы на вход C2, можно обеспечить сдвиг записанного кода. При этом с выхода последнего триггера Q4 снимается последовательный выходной код.

Иногда требуется производить в регистре сдвиг информации как вправо, так и влево. В рассматриваемом устройстве (рис. 4.3.) такая возможность появляется, если попарно соединить выводы Q4 и D3, Q3 и D2, Q2 и D1. Вход V в этом случае будет играть роль переключателя направления сдвига: если $V = 1$, то тактовые импульсы C1 сдвигают информацию влево, а вход D4 служит для приема последовательного кода; если же $V = 0$, то, как показано выше, импульсы C2 будут сдвигать информацию вправо. Существуют микросхемы регистров, в которых предусмотрены внутренние соединения, необходимые для сдвига информации как вправо, так и влево. Примером может служить восьмиразрядный регистр K155ИР13, в котором управление режимом работы триггеров осуществляется входным коммутатором (мультиплексором). Применения сдвигающих регистров очень многообразны. В арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, сдвиг вправо — делению пополам. Сдвигающий регистр, содержащий всего одну единицу, может выполнять роль счетчика, отображающего число поступивших на вход сигналов положением единицы на линейной шкале (например, горящая лампочка номера этажа в лифте). Такие регистры находят широкое применение в конструкциях с многофазной синхронизацией.

Способность сдвиговых регистров преобразовывать параллельный код в последовательный и обратно дает возможность их ис-

пользования в трактах связи между отдаленными объектами. Пример организации такой связи показан на рис. 4.4.



Рис. 4.4. Пример организации связи между регистрами с преобразованием параллельного кода в последовательный

Выходной регистр RG1 некоторого блока передает данные в линию. Входной регистр RG2 другого блока принимает их. При высоком уровне сигнала на входе S в регистре RG1 (т.е. разрешена команда PL — parallel load — параллельное чтение) происходит загрузка этого регистра параллельным кодом через входы D0 — D3. Затем RG1 переводится в режим сдвига подачей низкого уровня на вход S (разрешена команда SR — shift right — сдвиг вправо). Регистр RG2 зафиксирован в режиме сдвига. При подаче серии С-импульсов (в данном случае 4 импульса) содержимое регистра RG1 разряд за разрядом появится на выходе Q3, последовательным кодом передается по линии связи и через вход DS вдвигается в регистр-приемник RG2. После этого переданные данные могут быть считаны в параллельном коде с выходов Q0 — Q3 регистра RG2. Следует обратить внимание на то, что в приемник нужно передавать не только последовательный код данных, но и синхроимпульсы, необходимые для управления сдвигом на приемной стороне. Существуют и асинхронные способы последовательной передачи данных, при которых синхронизирующий сигнал не идет по отдельному каналу, а за счет специального кодирования передается по тому же каналу, что и данные, перемежаясь с ними по времени. Канал связи экономится за счет снижения скорости информационного обмена и усложнения приемо-передающей аппаратуры. Один из таких методов основан на том, что синхронизирующий перепад, называемый стартовым битом, сопровождается цепочкой из 5 — 8 бит

(чаще всего один байт).

Это **стандартный последовательный интерфейс**, широко используемый для связи ЭВМ с периферийными устройствами.

Практическая часть

Работа выполняется на **универсальном стенде ОАВТ** на платах:

П2 с технологическими картами II-5 и II-6;

П3 с технологическими картами III-1, III-2 и III-3.

Карта II-5 позволяет исследовать двухразрядный параллельный регистр на D-триггерах. Входная информация подается от тумблера SA1 непосредственно на D-вход первого триггера D3.1 и тумблера SA2 (через SA5, который должен находиться в 0) на D-вход второго триггера D3.2. Индикация записанной информации осуществляется светодиодами HL2 и HL1.

Карта II-6 позволяет исследовать двухразрядный последовательный регистр на D-триггерах. Для создания такого регистра D-вход второго триггера D3.2 подключают к прямому выходу первого триггера D3.1. Такое подключение осуществляется тумблером SA5, который при работе с этой картой должен находиться в состоянии 1.

Карта III-1 предназначена для исследования последовательного четырехразрядного регистра на основе универсального регистра K155IP1, который переводится в последовательный режим подачей нуля на вход управления V (тумблер SA5 в состоянии 0). Входная информация на D-вход подается кнопкой SB2 (без индикации). Кнопка отпущена — $D = 1$, кнопка нажата — $D = 0$. Выходная информация выводится на четырехразрядную светодиодную индикацию HL1 — HL4.

Карта III-2 позволяет исследовать работу MC K155IP1 в режиме параллельного регистра, для чего на вход управления V подается логическая 1 (SA5 в состоянии 1). Входная информация индицируется светодиодами HL1 — HL4, выходная — HL5 — HL8. Карта III-3 в данном случае используется частично (работа только с регистром D1). Сигналы управления и индикация информации аналогична карте III-2.

Задание

1. С помощью карт П-5 и П-6 исследовать двухразрядные параллельный и последовательный регистры, составить таблицы зависимости выходных состояний от сигналов на входе.

2. Исследовать работу четырехразрядного параллельного и последовательного регистров на микросхеме К155ИР1 (карты П-1 и П-2). Научиться записывать в регистры любые наперед заданные числа.

3. Исследовать работу универсального сдвигового регистра в режиме преобразования формы представления чисел из последовательной в параллельную и наоборот по карте П-3. Часть схемы, относящуюся к сумматору D2 и дешифратору D3, не анализировать.

Контрольные вопросы

1. Назначение регистров.
2. Преобразование последовательного кода в параллельный и наоборот.
3. Структура универсального регистра.

5. СЧЕТЧИКИ ЭЛЕКТРИЧЕСКИХ ИМПУЛЬСОВ

5.1. Основные характеристики счетчиков

Счетчиком называют функциональный узел, предназначенный для счета сигналов. По мере поступления входных сигналов счетчик последовательно перебирает свои состояния в определенном для данной схемы порядке. Длину списка используемых состояний (параметр K) называют **емкостью** счетчика. Одно из возможных состояний счетчика принимается за начальное (нулевое). Если счетчик начал считать с начального состояния, то через каждые K сигналов в нем снова устанавливается начальное состояние, а на выходе счетчика появляется сигнал **переноса** CR (carry — нести).

Различные схемы счетчиков могут перебирать свои состояния в самом различном порядке. Порядок пересчета называют **основанием**. Чаще всего применяют **двоичные** счетчики, у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел. Иногда применяют **одинарное** кодирование, когда состояние счетчика представлено местом расположения единственной единицы (например, сдвигающий регистр с одной движущейся единицей). Кроме того используется и **унитарное** кодирование, когда состояние представлено числом единиц. Для работы с десятичными числами удобнее пользоваться **десятичным** основанием. Если счетчик используется в часах, естественно, выбирают основание 60 и 24.

Обычно счетчики выбирают свои состояния в возрастающем порядке. Такой счетчик называют **суммирующим**. Если состояния перебираются в убывающем порядке, то такой счетчик называют **вычитающим**, а если направление перебора может изменяться, то счетчик называют **реверсивным**.

Счетчики, которые в процессе работы для переключения требуют подачи синхросигналов, называют **синхронными**, а счетчики, у которых для переключения достаточно подавать лишь входные сигналы — **асинхронными**. Часто счетчик снабжен входом общего сброса R и входами данных D_i для **параллельной загрузки** произвольного

кода. Загрузки осуществляется подачей сигнала на еще один вход — вход параллельной загрузки PL (parallel load).

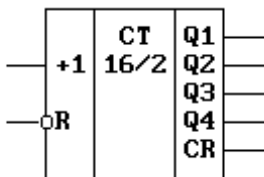


Рис. 5.1. Условное обозначение двоичного счетчика с $K = 16$

Условное изображение счетчика показано на рис. 5.1. Здесь Q_0 — Q_3 — выходы счетчика, комбинация значений которых определяет номер его состояния; CR — выход переноса. Суммирующий вход счетчика обозначается "+1", вычитающий — "-1". Это **счетные входы**. У асинхронных счетчиков они помечаются таким же символом, как и счетный вход Т-триггера, указывающим полярность перепада входного сигнала, по которому счетчик меняет состояние своего выхода.

Таблица 5.1.

Номер р	Выходы			
	Q2	Q1	Q0	CR
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
				1
0	0	0	0	

Двоичные счетчики строят чаще всего на основе Т-триггеров, поскольку эти триггеры могут и хранить свое состояние, и суммировать по модулю 2 входной сигнал. Двоичный n -разрядный счет-

чик содержит n Т-триггеров, и его емкость $K = 2^n$. Последовательность состояний 3-разрядного двоичного счетчика приведена в таблице 5.1.

Сигнал восьмеричного переноса условно показан между строк, как бы возникающим после появления в счетчике его последней комбинации и исчезающим при установлении в счетчике состояния 000.

5.2. Организация передачи в счетчике

Связи между триггерами, обеспечивающие их переключение в соответствии с табл. 5.1, могут быть различных типов. От вида связи существенно зависят время переключения счетчика в новое состояние и аппаратные затраты. Чаще всего используют два типа связей: непосредственную (последовательную) связь и сквозной (параллельный) перенос.

Схема счетчика с непосредственной связью показана на рис. 5.2а. Триггер ТТ0 пересчитывает входные сигналы по модулю 2, а состояние его выхода следующим ТТ1 воспринимаются как входные сигналы и снова пересчитываются на 2 и т. д. Предлагается самостоятельно построить временную диаграмму счетчика, использующего триггеры, переключающиеся по положительному фронту, обратить внимание на получившийся иной закон счета, а затем модифицировать схему так, чтобы она считала правильно, в соответствии с табл. 5.1.

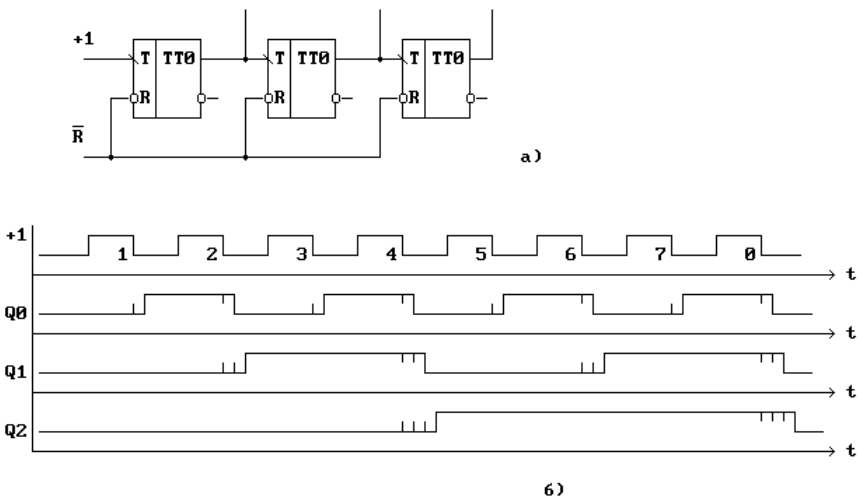


Рис. 5.2. Двоичный последовательный счетчик с непосредственной связью, а - принципиальная схема, б - временные диаграммы.

В счетчике с непосредственной связью переключение триггеров, вызванное срезом входного сигнала, происходит последовательно, триггер за триггером, и задержка распространения n -разрядного счетчика в n раз больше задержки распространения одного Т-триггера (рис. 5.2б). Если разрядов много, то большая задержка может оказаться серьезным недостатком такого счетчика. В силу неодновременного переключения триггеров, прежде чем верное состояние установится окончательно, на выходах счетчика будут появляться различные мимолетные неверные коды. Поэтому в тактированной системе такой счетчик нельзя рассматривать как часть обобщенного синхронного регистра, несмотря на то что он формально состоит из триггеров. С таким счетчиком приходится обращаться как с комбинационной схемой, правильный код на выходе которой устанавливается лишь спустя интервал максимальной задержки распространения.

Из-за невозможности выполнить смену состояния всего счетчика в единый момент времени, счетчики с непосредственной связью бывают только асинхронные, т.е. сигналом, переключающим их, является сам входной сигнал. Специального выхода переноса

счетчики с непосредственной связью не имеют; роль выходного переноса играет срез состояния старшего разряда. Для наращивания счетчика вход еще одного Т-триггера или такого же счетчика подключается непосредственно к выходу старшего разряда. Для гашения и параллельной загрузки используют приоритетные R- и S-входы триггеров, срабатывающих независимо от состояния их Т-входов. Это абсолютно необходимо, поскольку на Т-входе триггера может быть любой уровень выхода предыдущего каскада.

Достоинствами счетчика с непосредственной связью является предельная простота схемы и легкость наращивания его разрядности. В некоторых применениях автоматики достоинством является и то, что такой счетчик не сбивается, если на его вход поступит некачественный, например зауженный, импульс, что бывает при работе счетчика от нецифровых приборов: фотоумножителей, радиоприемников и т. п. Не сработать от такого сигнала может лишь первый триггер, вызвав при этом ошибку не более единицы младшего разряда. Примером счетчика с непосредственной связью может служить микросхема К155ИЕ5.

Для уменьшения времени задержки распространения сигнала используют счетчик со сквозным (параллельным) переносом, распространенный вариант схемы которого показан на рис. 5.3. Принцип сквозного переноса заключается в следующем. На входе каждого триггера (кроме самого первого) включен конъюнктор. Входной сигнал +1 поступает параллельно на все конъюнктуры и там, где они открыты, вызывает одновременное переключение соответствующих триггеров. На вход каждого конъюктора, кроме входного сигнала, поданы выходы всех триггеров младше данного разряда. Поэтому при подаче сигнала +1 изменяют свое состояние все те триггеры, перед которыми все более младшие триггеры находились в состоянии 1. Это полностью соответствует табл. 5.1. По такому принципу построен, например, 4-х разрядный счетчик К561ИЕ10.

Конъюнктуры, изображенные на рис. 5.3, могут входить в состав самих триггеров. Рекомендуются самостоятельно по рис. 5.3

построить схему на JK-триггерах К155ТВ1, работа которых рассматривалась в разделе 3.

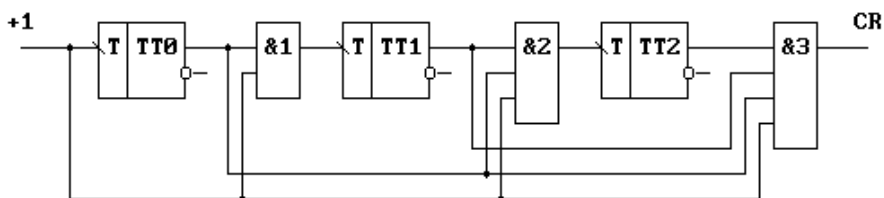


Рис. 5.3. Функциональная схема асинхронного малоразрядного счетчика со сквозным переносом.

В счетчике со сквозным переносом с приходом входного импульса все триггеры начинают переключаться почти одновременно в пределах лишь разброса задержки входных конъюнкторов триггеров. В результате время задержки заметно меньше, чем у последовательных счетчиков, и не зависит от числа разрядов. Для схемы на рис. 5.3 время задержки равно сумме задержек конъюнктора (если он выполнен отдельно) и Т-триггера.

Импульс выходного переноса формируется конъюнктором 3, который открывается, когда счетчик находится в состоянии все единицы, и пропускает на выход CR тот самый импульс, который сбрасывает весь счетчик в 0.

Следует заметить, что этот счетчик не безразличен к фронтам и длительности входных сигналов. От зауженного импульса или слишком короткой паузы между ними часть триггеров может сработать, а часть — нет, и код в счетчике будет искажен самым неожиданным образом.

Как видно из рис. 5.3, конъюнктор каждого следующего разряда должен иметь на один вход больше конъюнктора предыдущего. Поэтому на максимальную разрядность таких счетчиков накладывает ограничение максимально возможное число входов И логического элемента. Схемы большей разрядности приходится набирать из нескольких малоразрядных счетчиков, которые при этом называют **группами**. Малоразрядные группы проще всего наращивать, подключая выход переноса более младшей группы к входу +1 более старшей. Получается **последовательный межгрупповой перенос** и ка-

ждающая следующая группа работает со сдвигом, равным значению задержки в элементе, формирующем межгрупповой перенос. Счетчик описанного типа имеет параллельный перенос внутри группы и последовательный между группами. Перенос между группами можно сделать и параллельным по тому же принципу, что и между разрядами.

Описанные выше счетчики являются **асинхронными**: все процессы в них инициируются входным сигналом и в принципе могут быть совершенно не привязаны к синхросерии. Поэтому при использовании таких счетчиков в синхронных устройствах необходимо учитывать последствия того факта, что смена их состояний будет независимой от смены состояний других синхронных устройств. От этого недостатка свободен **синхронный** счетчик, собранный на синхронных триггерах, как показано на рис. 5.4.

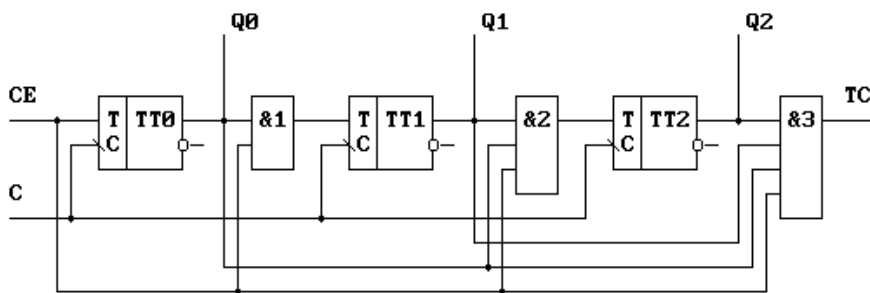


Рис. 5.4. Функциональная схема малоразрядного синхронного счетчика со сквозным переносом

Входным сигналом, играющим для этого счетчика роль сигнала +1, служит не фронт, а потенциал CE (count enable — разрешение счета), который может быть подан с любой задержкой в пределах такта синхронизации C. Сигнал CE не переключает триггеры, а лишь подготавливает их к этому по потенциальным T-входам. Смена состояний триггеров происходит строго по активному фронту синхроимпульса одновременно со всеми другими регистрами цифрового устройства, поскольку синхроимпульс в данном случае заведен непосредственно на C-входы триггеров. Выходной перенос синхронного счетчика формируется на выходе TC (terminal count).

Уровень ТС становится активным при переключении счетчика в состояние **все единицы** и существует до момента переключения его в состояние **все нули**.

Для наращивания разрядности синхронного счетчика выход ТС потенциала переноса одной группы подключается к потенциальному входу разрешения СЕ следующей, более старшей группы, на которую поступают те же синхроимпульсы, что и на первую. Триггеры всех групп при этом переключаются одновременно, по активному фронту С-сигнала, без какой-либо задержки относительно друг друга.

5.3. Реверсивные счетчики

Принцип работы вычитающего счетчика прослеживается по табл. 5.1, если просматривать ее в обратном порядке, снизу вверх. Если в последовательном счетчике с непосредственной связью в **режиме сложения** более старший разряд переключается при переходе младшего разряда от 1 к 0, то для **режима вычитания** он должен переключаться при переходе соседнего младшего разряда от 0 к 1. В счетчике с параллельным переносом на входном конъюнкторе каждого триггера собирались единицы всех более младших разрядов, а теперь для формирования параллельного займа на каждом входном конъюнкторе должны собираться нули всех более младших разрядов. Высказанные частные соображения можно сформулировать в виде общего правила: для превращения суммирующего счетчика в вычитающий нужно сигналы управления трактом переноса снимать с противоположных выходов триггеров счетчика, т.е. везде вместо — выхода Q использовать выход \bar{Q} (P).

Реверсивный счетчик можно построить, если на выходы каждого триггера подключить мультиплексор 2-1, который по управляющему сигналу UP / DN (up / down — вверх / вниз) подключает к тракту переноса один из выходов триггера, например прямой для сложения, инверсный для вычитания. Такой счетчик для случая сквозного переноса показан на рис. 5.5.

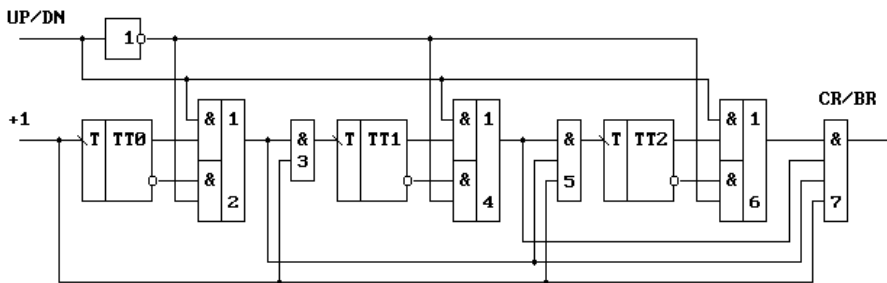


Рис. 5.5. Реверсивный счетчик с общим входом сложения-вычитания

На выходе последнего конъюнктора 7 в режиме сложения вырабатывается сигнал переноса CR, а в режиме вычитания — сигнал займа BR (воггов — занимать). Импульс займа формируется из входного счетного импульса при состоянии счетчика **все нули**. Переключать уровень направления счета можно лишь при нулевом уровне счетного сигнала, когда входные конъюнкторы триггеров (элементы 3 и 5) закрыты, т.е. когда триггеры находятся в режиме хранения, и изменение уровней при переключении мультиплексов не воздействует на их счетные входы. Такой принцип использован в микросхемах К561ИЕ11 и К561ИЕ14.

На основе схемы с непосредственной связью хороший реверсивный счетчик построить не удастся. Входы Т-триггеров этого счетчика никогда не отключаются от выходов младших соседей, поэтому при переключении мультиплексов, управляющих режимом счета, неизбежно происходит переключение части триггеров, т.е. сбой кода, что недопустимо в большинстве применений реверсивных счетчиков. Находит применение также и реверсивный счетчик с отдельными входами для сложения и вычитания. Этот способ построения счетчика показан на рис. 5.6а.

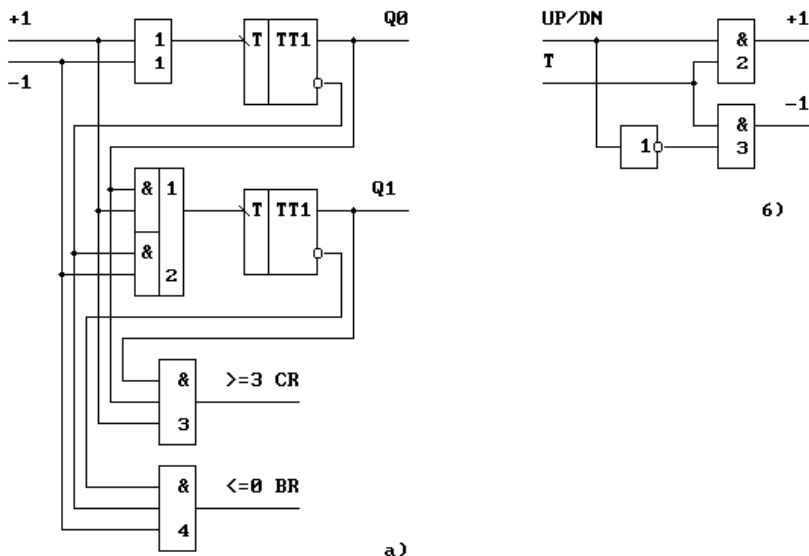


Рис. 5.6. Схема реверсивного счетчика с отдельными входами сложения и вычитания (а) и вспомогательный входной демультиплексор (б)

Здесь изображен 2-х разрядный счетчик с параллельным переносом. Вход управления режимом отсутствует, а импульсы для сложения и вычитания подаются по двум различным входам. Счетчик имеет, по сути, два независимых тракта переноса: один для сложения и другой для вычитания, подключенных ко входу триггера через элемент ИЛИ. Сразу оба счетных сигнала подавать нельзя. Счетчик имеет отдельные выходы переноса CR и займа BR. При наращивании разрядности выход CR подключается ко входу "+1" соседней старшей группы, а выход BR — к ее входу "-1". Принцип двух счетных входов использован, в частности, в микросхемах К155ИЕ6 и К155ИЕ7.

Счетчик с отдельными входами можно легко превратить в счетчик с общим входом, включив на входе демультиплексор 1-2, как изображено на рис. 5.6б.

5.4. Счетчики по произвольному основанию

Различные области применения требуют счетчиков с модулями пересчета (основаниями), не только кратными целым степеням двойки, но и другим, например, для работы в десятичной системе

— 10, для систем часов и календарей — 60, 24, 7... В общем случае требуется строить счетчики по любому заданному основанию K . Иногда пересчет выгоднее реализовать на единственном счетчике, иногда — разложить основание на два сомножителя: целую степень двойки, реализуемую на обычном двоичном счетчике, и оставшееся нечетное число, являющееся основанием счетчика уже меньшего размера.

На базе готовых счетчиков счетчик по произвольному основанию можно построить тремя основными способами.

1. Двоичный счетчик разрядности n , такой, чтобы 2^n было больше K , дополняется элементом И, который по состояниям выходов Q обнаруживает код конца счета (обычно $K-1$), после чего по цепи R сбрасывает счетчик в 0, как показано на рис. 5.7а.

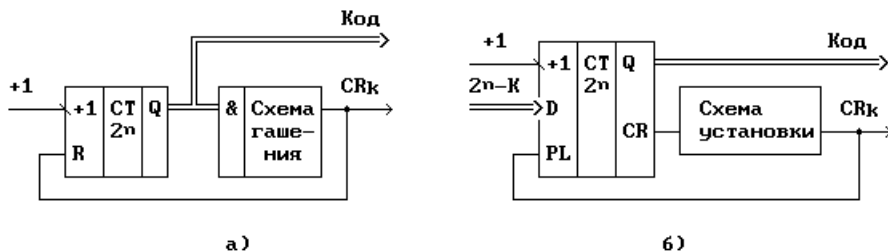


Рис. 5.7. Структурные схемы счетчиков по произвольному основанию: а — со сбросом счетчика в 0; б — с загрузкой дополнения

Сигнал, сбрасывающий счетчик, одновременно является и сигналом **К-ичного** переноса СК. Достоинства способа: естественная двоичная последовательность кодов от 0 до $K-1$; использование обычно имеющегося в счетчиках входа R . В случае суммирующего счетчика достаточно собрать на элементе И лишь прямые выходы тех триггеров, которые при коде конца счета равны 1. Число входов элемента И, таким образом, зависит от кода конца счета.

2. Второй способ иллюстрирует рис. 5.7б. Двоичный счетчик перед началом работы по тракту параллельной загрузки загружается кодом дополнения числа K до 2^n . Кодом конца счета в этом случае является естественное переполнение счетчика, т.е. состояние **все единицы**, обнаруживаемое штатным трактом переноса, в результате чего вырабатывается сигнал CR . Сигнал CR , воздействуя на вход

PL, управляющий параллельной загрузкой, снова устанавливает в счетчике дополнение K до 2^n . Достоинство способа — использование штатного тракта переноса и имеющегося во многих счетчиках входов параллельной загрузки, а также легкая смена основания пересчета. Для этого входы D_i нужно подключить не к константам 1 и 0 (питание и общий провод), а к выходу специального регистра начальных состояний. Недостатком способа является неестественная последовательность получаемых кодов, требующая перекодировки в случае их использования. Поэтому данный способ применяется, когда показания счетчика не важны, а используется лишь сигнал его выходного переноса. Это типично для задачи деления частоты входных сигналов на некоторое число K . Счетчики, выполняющие эту функцию, называют **делителями**.

3. При третьем способе в качестве кода начала и конца счета выбирают некоторую произвольную пару кодов, разность между которыми равна $K-1$. Этому способу присущи сложности как первого, так и второго, и используется он лишь в специальных случаях.

5.5. Кольцевые счетчики

Кольцевые счетчики — это замкнутые в **кольцо** регистры сдвига (см. раздел 4), состояния триггеров в которых изменяется под действием входных сдвигающих импульсов. В простейшем случае по кольцу циркулирует одна кодовая единица, так что коэффициент пересчета счетчика K равен числу входящих в него триггеров.

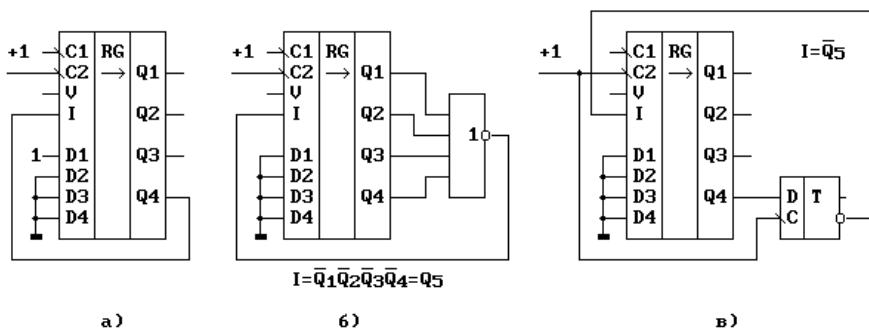


Рис. 5.8. Варианты схем кольцевых счетчиков на базе сдвигового регистра

Схема подобного кольцевого счетчика, построенного на сдви-

говом регистре K155ИР1, показана на рис. 5.8а. Выход Q4 последнего триггера соединен со входом регистра I, благодаря чему и образуется кольцевое соединение триггеров. Начальная установка триггеров счетчика производится при $V = 1$ подачей импульса на вход С1. Поскольку на D1 подан потенциал 1, а на входы D2 — D4 — потенциал 0, то при этом первый триггер установится в 1, а остальные в 0. Счетный режим в данном случае реализуется при $V = 0$ и подаче входных импульсов на вход С2. Триггеры будут принимать последовательно состояния 1000, 0100, 0010, 0001 и далее цикл снова повторится. Таким образом, после прихода четырех входных импульсов счетчик возвращается в исходное состояние. Это и означает, что коэффициент пересчета равен четырем. Для увеличения К можно увеличивать число разрядов в кольце или соединять счетчики последовательно. В частности, счетчик на 10 может быть получен путем последовательного соединения одного счетного триггера и кольцевого счетчика на 5.

Неприятной особенностью подобных кольцевых счетчиков является то, что сбои, вызванные лишними или недостающими кодовыми единицами в кольце, не самоустранимы. Действительно, если под воздействием импульса помехи триггер, находившийся в состоянии 1 перейдет в 0, тот все триггеры в кольце окажутся в нулевом состоянии и счетные импульсы не будут изменять состояние счетчика. Подобные сбои могут быть устранены только повторной установкой триггеров счетчика.

Одним из методов борьбы с подобными сбоями является введение в счетчик логической цепи, разрешающей запись единицы в первый триггер только тогда, когда все остальные триггеры находятся в нуле (рис. 5.8б). Все то время, пока хотя бы один триггер регистра находится в единице, на выходе цепи ИЛИ-НЕ будет существовать потенциал 0. Когда под воздействием счетных импульсов все триггеры установятся в 0, на выходе всей этой цепочки появится 1. Очередной тактовый импульс установит в единицу первый триггер, и таким образом снова начнется цикл продвижения единицы по разрядам регистра. Подобный кольцевой счетчик имеет

К на единицу больше числа разрядов используемого регистра. С выхода ячейки ИЛИ-НЕ в данном случае можно снимать сигнал, как бы соответствующий пятому триггеру в кольце (Q_5).

Кольцевой счетчик с одной перекрестной (инверсной) связью часто называют **счетчик Джонсона**. На рис. 5.8в показана схема построенного таким путем счетчика, имеющего $K = 10$. Здесь регистр сдвига К155ИР1 дополнен D-триггером. Вход D-триггера соединен с выходом четвертого разряда регистра, а на информационный вход I регистра подан сигнал не с прямого, а с инверсного выхода D-триггера. За счет этого и реализуется перекрестная связь в кольце.

В отличие от простейших кольцевых счетчиков, счетчик Джонсона имеет коэффициент пересчета вдвое больший числа составляющих его триггеров. В частности, счетчик (рис. 5.8в) под воздействием счетных импульсов n последовательно проходит следующие состояния:

n	Q1	Q2	Q3	Q4	Q5
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1

Как видим, при счете сначала от первого разряда до последнего распространяется волна единиц, а затем волна нулей.

В счетчике Джонсона, как и в других кольцевых счетчиках, возможны сбои в виде лишних волн нулей или единиц. Для предотвращения их в десятичном счетчике простая цепь связи инверсного выхода последнего и входа первого разряда $I = \overline{Q}_5$ может быть заменена логической ячейкой,

реализующей функцию $I = Q_1 \overline{Q}_4 \overline{Q}_5$. Подобная ячейка обеспечивает переход счетчика под воздействием выходных импульсов из любой запрещенной комбинации в одну из разрешенных.

На основе регистра с одной перекрестной связью может быть построен счетчик с любым K . Если же нужно нечетное значение $K = 2N - 1$, то используется N -разрядный регистр сдвига, но на вход I подается не сигнал \overline{Q}_n , а $\overline{Q_n Q_{n-1}}$. При этом по сравнению с обычным счетчиком Джонсона пропускается одна кодовая комбинация, полностью состоящая из нулей.

Практическая часть

Работа выполняется на универсальном стенде ОАВТ на платах: П2 с технологической картой П-7;

П3 с технологической картой П-1;

П5 с технологическими картами V-1, V-2, V-3.

Задание 1

Исследовать работу Т-триггера с составлением временной диаграммы. На плате П2 (карта П-7) собрать счетный триггер, для чего соединить внешней перемычкой инверсный выход D-триггера Y1 с его входом X2. Индикация выхода осуществляется светодиодом HL1.

Задание 2

Исследовать работу кольцевого счетчика с составлением таблиц переходов и временных диаграмм для различных числовых комбинация, записываемых в регистр перед закольцовыванием. Включить плату П3 (карта П-1), где размещен четырехразрядный регистр K155IP1, который должен быть переведен в последовательный режим (SA5 в положении 0). Входная информация подается кнопкой SB2 (без индикации). Кнопка отпущена — $D = 1$, кнопка нажата — $D = 0$, Выходная информация регистрируется светодиодами HL1 — HL4. Для перевода регистра в режим кольцевого счетчика в него записывают какое-либо число (например, 0001), а затем соединяют внешней перемычкой выводы X и Y. После этого с подачей каждого тактового импульса (кнопка SB1) информация будет последовательно смещаться по разрядам счетчика.

Примечание. При любых K (кроме 16) с одним из выходов счетчика обязательно соединять вход X1. В противном случае K не изменится и будет равен 16.

K	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
X3															
X2															
X1															

Задание 3

По карте V-1 исследовать суммирующий счетчик (SA5 в 1). Счетные импульсы формируются при нажатии кнопки SB1 и подаются на вход счетчика. Коэффициент пересчета можно изменять в

широких пределах от 2^1 до 2^4 , вводя различные комбинации связей выходов триггеров (Y1 — Y4) со входами Элемента И-НЕ (X1 — X3). Составить таблицу связей пересчета и показать на двух-трех примерах временные диаграммы работы счетчика и таблицы состояний.

Для выполнения работы включить плату П5. На ней размещены реверсивный счетчик (ИМС K155ИЕ7) и трехходовые элементы И-НЕ (ИМС K155ЛА4). Направление счета устанавливается тумблером SA5: SA5 в нуле — режим вычитания, SA5 в единице — режим суммирования.

Задание 4

По карте V-2 исследовать работу вычитающего счетчика (SA5 в положении 0). Нарисовать временные диаграммы напряжений на входе и выходе счетчика.

Задание 5

По карте V-3 провести исследование универсального реверсивного счетчика с предустановкой. Информация, записанная в счетчик, индицируется в двоичном (HL2 — HL5) и шестнадцатеричном (HG1) кодах. Индикатор HL1, подключенный к выходу элемента D2. 1 (схема ИЛИ для входных сигналов низкого уровня), индицирует сигнал переноса в старшие разряды в режиме вычитания.

- а) Исследовать счетчик в режиме прямого счета и заполнить таблицу состояний.
- б) Повторить пункт а) в режиме обратного счета.
- в) Провести исследование счетчика K155ИЕ7 в режиме с предварительной записью информации (по заданию преподавателя). В качестве источника предварительно записываемой информации использовать SA1 — SA4. Счетные импульсы на вход счетчика подавать кнопкой SB1. Результаты занести в таблицу.

Контрольные вопросы

1. Преимущества и недостатки последовательного счетчика с непо-

средственной связью.

2. Способы организации реверса направления счета. Какие счетчики критичны к длительности счетного импульса?
3. Варианты организации счетчика с произвольным основанием.
4. Варианты построения кольцевых счетчиков.

ЛИТЕРАТУРА

1. Г.Р. Аванесян, В.П. Левшин. Интегральные микросхемы ТТЛ, ТТЛШ. Справочник. Изд-во "Машиностроение", М., 1993, 256 с.
2. В.С. Гутников. Интегральная электроника в измерительных устройствах. Энергоатомиздат. Л., 1988, 304 с.
3. П.М. Грицевский, А.Е. Матченко, Б.М. Степанский. Основы автоматизации импульсной и вычислительной техники. Радио и связь. М., 1987, 384 с.
4. И.С. Потемкин. Функциональные узлы цифровой автоматизации. Энергоатомиздат. М., 1988, 320 с.
5. Ю.К. Ситников. Основы цифровой вычислительной техники. Учебное пособие. Изд-во КГУ, 1992, 168 с.
6. Цифровые и аналоговые интегральные микросхемы. Справочник. Радио и связь. М., 1990, 496 с.
7. В.А. Шило. Популярные цифровые микросхемы. Изд-во "Металлургия", Челябинск, 1989, 359 с.

Содержание

1. Логические элементы.....	3
1.1. Основные положения булевой алгебры.....	3
1.2. Основной базис	4
1.3. Обозначения логических элементов и выполняемые ими функции	6
1.4. Маркировка микросхем.....	6
1.5. Параметры логических ИС.....	7
1.6. Базовые элементы ТТЛ, ЭСЛ, ТТЛШ, n(p)-МОПТЛ и их сравнительные характеристики	9

Практическая часть	22
2. Исследование основных комбинационных устройств (дешифратор, демультиплексор, мультиплексор, преобразователь кодов на ПЗУ)	25
2.1. Дешифраторы	25
2.2. Мультиплексоры	31
2.3. Преобразователи кодов	34
Практическая часть	37
3. Триггеры в интегральном исполнении	40
3.1. RS-триггер	41
3.2. D-триггер	44
3.3. JK-триггер	46
3.4. T-триггер	48
Практическая часть	50
4. Арифметические регистры	52
4.1. Параллельный регистр	52
4.2. Сдвиговой регистр	53
4.3. Универсальный регистр	54
Практическая часть	57
5. СЧЕТЧИКИ ЭЛЕКТРИЧЕСКИХ ИМПУЛЬСОВ	59
5.1. Основные характеристики счетчиков	59
5.2. Организация передачи в счетчике	61
5.3. Реверсивные счетчики	66
5.4. Счетчики по произвольному основанию	68
5.5. Кольцевые счетчики	70
Практическая часть	73
ЛИТЕРАТУРА	76